



520.43080X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): SAGAWA, et al

Serial No.: 10/648,196

Filed: August 27, 2003

Title: COLD CATHODE TYPE FLAT PANEL DISPLAY

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 26, 2003

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on:

Japanese Patent Application No. 2003-206692
Filed: August 8, 2003

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Melvin Kraus
Registration No. 22,466

MK/rp
Attachment

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 8 月 8 日
Date of Application:

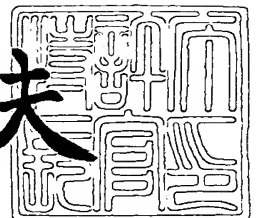
出 願 番 号 特 願 2 0 0 3 - 2 0 6 6 9 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 0 6 6 9 2]

出 願 人 株式会社日立製作所
Applicant(s):

2 0 0 3 年 8 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 9 9 1 3

【書類名】 特許願

【整理番号】 NT03P0642

【提出日】 平成15年 8月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/22

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

【氏名】 佐川 雅一

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

【氏名】 楠 敏明

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

【氏名】 鈴木 睦三

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立製作所デジタルメディア開発本部内

【氏名】 甲 展明

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】**【識別番号】** 100086656**【弁理士】****【氏名又は名称】** 田中 恭助**【電話番号】** 03-3661-0071**【選任した代理人】****【識別番号】** 100094352**【弁理士】****【氏名又は名称】** 佐々木 孝**【電話番号】** 03-3661-0071**【先の出願に基づく優先権主張】****【出願番号】** 特願2002-369177**【出願日】** 平成14年12月20日**【手数料の表示】****【予納台帳番号】** 081423**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9003094**【包括委任状番号】** 9403294**【包括委任状番号】** 0002348**【プルーフの要否】** 要

【書類名】 明細書**【発明の名称】 冷陰極型フラットパネルディスプレイ****【特許請求の範囲】****【請求項 1】**

冷陰極型電子源を一定の間隔で複数個配置したカソード基板と、それらに相対するよう点状または線状に蛍光膜を配置したアノード基板と、前記カソード基板と前記アノード基板とを所定間隔で支持する複数個のスペーサーと、真空を保持するための枠ガラスとで真空パネル容器を構成して成り、前記カソード基板には層間絶縁層を介して互いに交差する行方向と列方向に伸びる複数の電気配線があり、それらの交点座標に対応する位置に前記冷陰極型電子源が、列方向と行方向の前記電気配線につながれて配置され、前記冷陰極型電子源を線順次的に駆動することにより画像表示を行う画像表示装置であって、

前記複数の電気配線のうち上層に位置する配線の一部を走査線とし、下層に位置する配線を信号線とすること、

かつ前記上層に位置する電気配線の一部を、前記スペーサに対して接地電位を与えるための接地配線とすると共に、少なくとも隣接する走査線が選択状態にある期間は、前記スペーサは前記接地配線により接地状態であることを特徴とする冷陰極型フラットパネルディスプレイ。

【請求項 2】

冷陰極型電子源を一定の間隔で複数個配置したカソード基板と、それらに相対するよう点状または線状に蛍光膜を配置したアノード基板と、前記カソード基板と前記アノード基板とを所定間隔で支持する複数個のスペーサーと、真空を保持するための枠ガラスとで真空パネル容器を構成して成り、前記カソード基板には層間絶縁層を介して互いに交差する行方向と列方向に伸びる複数の電気配線があり、それらの交点座標に対応する位置に前記冷陰極型電子源が、列方向と行方向の前記電気配線につながれて配置され、前記冷陰極型電子源を線順次的に駆動することにより画像表示を行う画像表示装置であって、

前記複数の電気配線のうち上層に位置する配線を走査線とし、下層に位置する配線を信号線とすること、

かつ前記上層に位置する走査線の一部は、前記スペーサに対して電位を与えるための給電配線を兼ねると共に、少なくとも前記走査線が選択状態にある期間内は、走査線電位であることを特徴とする冷陰極型フラットパネルディスプレイ。

【請求項 3】

請求項 1 もしくは 2 において、カソード基板の縁端部で、上層に位置する電気配線の端子が、走査線駆動回路に繋がったフレキシブル印刷回路と接続され、前記走査線駆動回路によりスペーサ配線に対して電位を与えることを特徴とする冷陰極型フラットパネルディスプレイ。

【請求項 4】

請求項 1 において、カソード基板の縁端部で、上層に位置する電気配線の端子が、走査線駆動回路に繋がったフレキシブル印刷回路と接続され、前記フレキシブル印刷回路の内部配線によりスペーサ配線が互いに短絡された上、独立の給電線により外部から接地電位を与えることを特徴とする冷陰極型フラットパネルディスプレイ。

【請求項 5】

請求項 1 において、カソード基板の縁端におけるスペーサ配線が走査線の端子よりも外側まで延伸され、かつ互いに短絡された上で独立の給電線により外部から接地電位を与えることを特徴とする冷陰極型フラットパネルディスプレイ。

【請求項 6】

請求項 1 乃至 5 のいずれか一つにおいて、冷陰極型電子源が、下部電極と、電子加速層と、上部電極とをこの順序に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する電子源素子であることを特徴とする冷陰極型フラットパネルディスプレイ。

【請求項 7】

請求項 6 において、冷陰極型電子源の下部電極が Al もしくは Al 合金からなり、電子加速層がその陽極酸化アルミナであることを特徴とする冷陰極型フラットパネルディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、冷陰極型フラットパネルディスプレイに係り、特に冷陰極電子源を利用した自発光型フラットパネルディスプレイに関するものである。

【0002】**【従来の技術】**

冷陰極型フラットパネルディスプレイは、周知のように、フラットなパネルに形成された電子線励起により発光する蛍光膜と、この蛍光膜に対向して2次元のマトリックス状に配列された微小な冷陰極電子源から放出される電子線を前記蛍光膜に照射してパネル上に画像を表示する機能を有するディスプレイである。このような微小で集積可能な冷陰極電子源を利用するディスプレイは、FED(Field Emission Display)と総称されている。

【0003】

冷陰極電子源は、大まかに電界放出型電子源とホットエレクトロン型電子源に分類され、前者には、スピント型電子源、表面伝導型電子源、カーボンナノチューブ型電子源が属し、後者には金属―絶縁体―金属を積層したMIM (Metal-Insulator-Metal) 型電子源、金属―絶縁体―半導体電極を積層したMIS (Metal-Insulator-Semiconductor) 型電子源が含まれる。

【0004】

MIM型電子源については、例えば特許文献1及び特許文献2に開示されている。MIM型電子源の構造と動作原理を図1と図2に示す。

【0005】

図1は、MIM型電子放出素子の断面構造図である。図1において、ガラス等の絶縁性のカソード基板10上に例えばAlやAl合金の下部電極11が例えば300nmの膜厚で図紙面に対して直交する方向にストライプ状に形成されている。

【0006】

下部電極11上には、下部電極11のエッジで電界が集中するのを防止するとともに、電子放出部を制限乃至規定する層間絶縁膜14 (例えば膜厚140nm) と、トンネル絶縁膜12 (例えば膜厚10nm) が形成されている。

【0007】

層間絶縁膜14の上部に、電子放出部Eを避けて、接続電極15と上部電極給電配線16が、下部電極11とは直交する方向（図紙面に対して左右方向）にストライプ状に形成されている。電子放出部Eは、トンネル絶縁膜12上の上部電極13に該当する。なお、上部電極13については後で詳述する。

【0008】

接続電極15としては、カソード基板10や層間絶縁膜14との接着性が強い金属膜、例えばW(タングステン)やMo(モリブデン)等の高融点金属薄膜、もしくはそれらの珪素化合物(シリサイド)を、例えば膜厚10nm程度形成する。

【0009】

上部電極給電配線16としては、上部電極13（後述する）へ低抵抗で接続できる給電配線として、Al-Nd合金膜を膜厚200nm形成する。接続電極下層15Aの金属膜は、後述する上部電極13の断線を防止するため、できるだけ薄くすることが望ましい。

【0010】

上部電極給電配線16、層間絶縁膜14やカソード基板10上には、電子放出素子を保護するため、電子放出部Eを除いて、絶縁膜、例えば高抵抗シリコン、SiO₂、リン珪酸ガラス、ホウ珪酸ガラス等のガラス類やSi₃N₄(ナイトライド)、Al₂O₃(アルミナ)、ポリイミドなどを使って表面保護膜17が形成されている。ちなみにSi₃N₄を用いた場合の膜厚は0.1乃至1 μmである。

【0011】

トンネル絶縁膜12には、上部電極13が被覆されている。この上部電極13は、耐熱性のよいIr(イリジウム)を下層、Pt(白金)を中間層に、電子放出効率のよいAu(金)を上層とする3層積層膜の構造からなり、例えばスパッタリング法などの薄膜形成工程により、トンネル絶縁膜12上に被覆されている。

【0012】

この薄膜形成工程において、上部電極13は、表面保護膜17の表面にも同時に成膜されるが、図で示すように、上部電極給電配線16が、表面保護膜17の端面に対して内側に後退し、表面保護膜17が庇状となっているので、表面保護膜17上の金属膜13'とトンネル絶縁膜12上の上部電極13とは電氣的に絶縁されている。

【0013】

このように構成されたMIM型電子放出素子の下部電極11と上部電極13との間に、真空中で、印加電圧 V_d を加えると、図2のエネルギーバンド図が示すように、下部電極11中のフェルミ準位近傍の電子がトンネル現象により障壁を透過して、トンネル絶縁層12と上部電極13の伝導帯へ注入され、ホットエレクトロンとなる。これらのうち上部電極13の仕事関数 ϕ 以上の運動エネルギーを有するものは、真空中に放出される。

【0014】

なお、その他この種の技術に関連するものとして特許文献3を挙げることができる。

【特許文献】

特許文献1：特開2001-101965号公報

特許文献2：特開2000-208076号公報

特許文献3：特開2001-83907号公報

【0015】

【発明が解決しようとする課題】

図46は、従来の表示パネルの概要を示した断面図である。この図に示したように、上述のMIM型電子源を使い表示装置を構成するには、図1に示した構造の電子源素子をマトリックス状に配列したカソード基板10と、このカソード基板10の電子源素子に対応させて蛍光膜111をマトリックス状に配したアノード基板110とを、ガラスなどから構成される枠部材116を介してフリットガラス115の接合により貼り合わせて、内部空間118を真空中に封じることにより、表示パネル（フラットパネルディスプレイ）120を得る。アノード基板110は、後述するように、透光性の平板で構成され、蛍光膜111の表面を含む片側全面が導電膜（メタルバックと称す）114で被覆されている。

【0016】

このとき表示パネル120の対角サイズが、5インチを超えると、大気圧を支持するため、補強材として絶縁物質からなるスペーサ30を数センチメートル間隔でパネル内の内部空間（真空雰囲気）に挿入する必要がある。

【0017】

これらのスペーサ30には、電子源素子から出た電子の一部が衝突し帯電を引き起こす。帯電したスペーサ近傍では、電子の軌道が曲げられ画像が歪む現象が生じる。これを防ぐために、スペーサ30の表面に高抵抗膜の酸化スズ、或いは酸化スズと酸化インジウム混晶薄膜や金属または半導体膜等により僅かな導電性を付与し、スペーサ表面の帯電を除去するようにしている。

【0018】

このためスペーサ30は、アノード基板110側のメタルバック114およびカソード基板10側の表面保護膜17上の上部電極13'に、電氣的に接続する必要がある。カソード基板10側で、接地電位を与える上部電極13'は、厚さが10nm以下の薄膜である上に、表面保護膜17に対する密着力も弱いため、スペーサからの圧力が掛かると、容易に断線が生じ易い。これを防ぐには信号線（上部電極給電配線16）及び走査線（下部電極11）から独立した第三の配線を、スペーサ30用の接地配線18として表面保護膜17の上に設ける必要があった。

【0019】

しかし、この様にカソード基板10側に信号線16、走査線11及び独立した第三の配線18という三層配線構造を採用した場合、二層配線に比べて必然的に製造工程が長くなり、歩留まりの低下や製造コストの増加が問題となった。

【0020】

したがって、本発明の目的は、上記の課題を解決し、二層配線構造のカソード基板でありながら、安価に作製可能なスペーサ用の接地配線を実質的に備えた冷陰極型（詳しくはホットエレクトロン型）フラットパネルディスプレイ（平面型表示装置）を提供することにある。

【0021】**【課題を解決するための手段】**

本発明者等は、種々実験検討の結果、上記課題は下記の方策を講ずれば解決出来るという知見を得た。すなわち、二層配線構造のカソード基板でありながら、下記のように配線構造に工夫を凝らし、安定した構造のスペーサ用の接地配線を実質的に備えたカソード基板10を実現したものである。

- ① 従来、走査線としていた第一層目(下層)配線である下部電極11を信号線とする(従来の走査線を信号線に換える)。
- ② 第二層目配線(上部電極給電配線16)でスペーサ配線と走査線とを形成し、線順次駆動方式で画像表示を行う(従来の信号線を走査線に換える)。

【0022】

まず①により、走査線とスペーサ配線とを同一方向に走らすことが出来る。その上で第二配線を使い、走査線とスペーサ配線とを同一層で形成する。

【0023】

上記配線構造の実用性に疑問を呈する向きもあるかもしれないが、本発明には十分な根拠がある。

【0024】

一般的に画素は正方形をしている。走査線ピッチは、この正方形の一辺の長さに対応し、信号線のピッチは、各画素にR(赤)、G(緑)、B(青)の三色を含むため、その1/3となる。具体的な例をあげると、対角サイズ32インチのWXGA(解像度：720X1200ドット)では、走査線ピッチと信号線ピッチは、それぞれ550 μm と183 μm になる。

【0025】

スペーサ30自身の厚さは100～200 μm 程度あるので、ピッチの緩い走査線の間にはスペーサ30とその接地配線を挿入する本発明の構成は、合理的な設計といえる。

【0026】

以上をまとめると、本発明を採用することにより、従来のカソード基板10に3層あった配線が2層に統合され、これに伴って第三配線と第二配線との間にあった層間絶縁膜も不要となる。

【0027】

以上説明した通り、本発明によれば、カソード基板10の配線構造が従来の三層配線構造から二層配線構造となり、しかもスペーサ30の接地配線が走査線を構成する上部電極給電線と同一平面上に、同一層で形成されるので、配線構造が単純になり、かつ上部電極給電線とスペーサ30の接地配線とを同一工程で製造できる

ので、製造工程が短縮され、歩留まりの向上とコスト低減が可能となる。

【 0 0 2 8 】

【発明の実施の形態】

上記本発明の典型的な第 1 の構成例の特徴は以下の通りである。

すなわち、本発明の冷陰極型フラットパネルディスプレイは、

まず、冷陰極型電子源を一定の間隔で複数個配置したカソード基板と、それらに相対するよう点状または線状に蛍光膜を配置したアノード基板と、前記カソード基板と前記アノード基板とを所定間隔で支持する複数個のスペーサと、真空を保持するための枠ガラスとで真空パネル容器を構成している。

【 0 0 2 9 】

そして、前記カソード基板上には、層間絶縁層を介して互いに交差する行方向と列方向に伸びる複数の電気配線があり、それらの交点座標に対応する位置に前記冷陰極型電子源が、列方向と行方向の前記電気配線につながれて配置され、前記冷陰極型電子源を線順次的に駆動することにより画像表示を行う構成となっている。

【 0 0 3 0 】

そしてこの画像表示装置においては、前記複数の電気配線のうち上層に位置する配線の一部を走査線とし、下層に位置する配線を信号線とすること、

かつ前記上層に位置する電気配線の一部を、前記スペーサに対して接地電位を与えるための接地配線とすると共に、少なくとも隣接する走査線が選択状態にある期間は、前記スペーサは前記接地配線により接地状態であることを特徴とする。

【 0 0 3 1 】

また、本発明の典型的な第 2 の構成例の特徴は以下の通りである。

すなわち、本発明の冷陰極型フラットパネルディスプレイは、

まず、冷陰極型電子源を一定の間隔で複数個配置したカソード基板と、それらに相対するよう点状または線状に蛍光膜を配置したアノード基板と、前記カソード基板と前記アノード基板とを所定間隔で支持する複数個のスペーサーと、真空を保持するための枠ガラスとで真空パネル容器を構成している。

【 0 0 3 2 】

そして、前記カソード基板上には層間絶縁層を介して互いに交差する行方向と列方向に伸びる複数の電気配線があり、それらの交点座標に対応する位置に前記冷陰極型電子源が、列方向と行方向の前記電気配線につながれて配置され、前記冷陰極型電子源を線順次的に駆動することにより画像表示を行う構成となっている。

【0033】

そしてこの画像表示装置においては、前記複数の電気配線のうち上層に位置する配線を走査線とし、下層に位置する配線を信号線とすること、

前記複数の電気配線のうち上層に位置する配線を走査線とし、下層に位置する配線を信号線とすること、

かつ前記上層に位置する走査線の一部は、前記スペーサに対して電位を与えるための給電配線を兼ねると共に、少なくとも前記走査線が選択状態にある期間内は、走査線電位であることを特徴とする。

【0034】

本発明の第3の構成例の特徴点は以下の通りである。

上記第1もしくは第2の構成例において、カソード基板の縁端部で、上層に位置する電気配線の端子が、走査線駆動回路に繋がったフレキシブル印刷回路(Flexible Printed Circuit以下FPCと略す)と接続され、この走査線駆動回路によりスペーサ配線に対して電位を与えることを特徴とする。

【0035】

本発明の第4の構成例の特徴点は以下の通りである。

上記第1の構成例において、カソード基板の縁端部で、上層に位置する電気配線の端子が、走査線駆動回路に繋がったFPCと接続され、このFPCの内部配線によりスペーサ配線が互いに短絡された上、独立の給電線により外部から接地電位を与えることを特徴とする。

【0036】

本発明の第5の構成例の特徴点は以下の通りである。

上記第1の構成例において、カソード基板の縁端におけるスペーサ配線が走査線の端子よりも外側まで延伸され、かつ互いに短絡された上で独立の給電線によ

り外部から接地電位を与えることを特徴とする。

【0037】

本発明の第6の構成例の特徴点は以下の通りである。

上記第1乃至5の構成例において、冷陰極型電子源が、下部電極と、電子加速層と、上部電極とをこの順序に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する電子源素子であることを特徴とする。

【0038】

本発明の第7の構成例の特徴点は以下の通りである。

上記第6の構成例において、冷陰極型電子源の下部電極がAlもしくはAl合金からなり、電子加速層がその陽極酸化アルミナであることを特徴とする。

【0039】

【実施例】

以下、図面を用いて本発明の実施例を具体的に説明する。

<実施例1>

本発明の上記第1の構成例に基づく実施例を図3～図33を用いて説明する。

(1) カソード基板10の作成：

ここでは、上部電極13が接続電極15に電氣的に接続し、かつ上部電極給電配線16がアルミニウム、アルミニウム合金、もしくはアルミニウムよりも抵抗率の低い金属により裏打ちされている場合の製造方法を開示する。

【0040】

ここで予めMIM電子源製造方法としては、本実施例に限られるものでないことを断っておく。上述の特許文献1（特開2001-101965号公報）のみならず、特許文献2（特開2000-208076号公報）に開示されたテーパ構造を備えた上部電極給電配線を有するMIM電子源などに、本発明を適用することは容易に実現可能である。

【0041】

まず、ガラス等の絶縁性のカソード基板10上に下部電極11用の金属膜を成膜する。下部電極材料としてはAlやAl合金を用いる。ここでは、Ndを2原子量%ドー

プしたAl-Nd合金を用いた。成膜には例えば、スパッタリング法を用いる。膜厚は300 nmとした。成膜後はホトリソグラフィ工程、エッチング工程により、図3（平面図）、図4（線分A-A'断面図）、図5（線分B-B'断面図）に示すようなストライプ状の下部電極11を形成する。エッチング工程においては、例えばリン酸、酢酸、硝酸の混合水溶液からなるエッチング液によるウェットエッチングを適用する。

図6（平面図）、図7（線分A-A'断面図）及び図8（線分B-B'断面図）において、下部電極11の表面を陽極酸化する。例えば化成電圧を6Vとすれば、下部電極11上に厚さ約10 nmの絶縁層12が形成される。

【0042】

図9（平面図）、図10（線分A-A'断面図）及び図11（線分B-B'断面図）において、層間絶縁膜14として Si_3N_4 を、メッキの種膜となる接続電極上層15BとしてCuを、Cuと下地との接着性を確保するための接続電極下層15AとしてCrを、スパッタにより連続成膜した。接続電極下層15Aは後で形成する上部電極13が、接続電極下層15Aの段差で断線しないように数10nm程度と薄くする。接続電極上層15Bの膜厚に関して特に制限はないが、ピンホールが生じて、メッキ処理に際して接続電極下層15Aが溶出しないように定める。

図12（平面図）、図13（線分A-A'断面図）及び図14（線分B-B'断面図）において、接続電極上層15Bにメッキマスクとしてレジストパターンを付与した後、電気メッキもしくは無電解メッキによりCuを選択的に厚付けし、所望とする厚さ、例えば $5\mu\text{m}$ のCuからなる上部電極給電配線16を形成する（体裁上図面では厚さを縮小して描いた）。

これらの図は、いずれもCuの厚付けメッキが完了してメッキマスク（レジストパターン）を除去した後の状態を示している。レジストパターンは、電子源の電子放出領域を形成するための正方形のパターン及び走査線となる上部電極給電配線16とスペーサ配線16'となる領域とを分割するためのストライプ状のパターンとの2種類である。

【0043】

図15（平面図）、図16（線分A-A'断面図）及び図17（線分B-B'

断面図)において、全面をCuエッチングすることにより、薄い接続電極上層15Bを下部電極11とは直交する方向にストライプ状に加工する。接続電極上層15Bは、上部電極給電配線16に比べて極めて薄いため、エッチング時間を制御することにより、接続電極上層15Bのみを選択的に取り除くことが出来る。エッチング液には例えば、燐酸、酢酸、硝酸の混合水溶液(PAN)が適している。

【0044】

続いて電子源の電子放出領域(正方形の凹部)を形成する接続電極下層15Aに、正方形の枠状のレジストパターンを形成して、枠状パターンの内側に露出する接続電極下層15A(Cr)を選択的にウェットエッチングにより加工し、除去する。Crのウェットエッチングには硝酸第二アンモニウムセリウムの水溶液が適している。このとき留意すべきことは、上記のように枠状のレジストパターンを接続電極下層15Aの周縁部に掛かるように形成することである。これにより、後から形成される上部電極13が、段切れすることなく接続電極下層15Aと重なり合って確実に接続できる。

【0045】

図18(平面図)、図19(線分A-A'断面図)及び図20(線分B-B'断面図)において、電子源の電子放出領域を形成する凹部内に電子放出部を開けるために、ホトリソグラフィとドライエッチングにより層間絶縁膜14の一部を開口し、トンネル絶縁層12を露出させる。エッチングガスにはCF₄とO₂との混合ガスが好適である。露出したトンネル絶縁膜12には、再度陽極酸化を施し、エッチングによる加工損傷を修復する。

【0046】

図21(平面図)、図22(線分A-A'断面図)及び図23(線分B-B'断面図)において、上部電極13を形成して電子源基板(カソード基板10)が完成する。上部電極13の成膜は、シャドウマスクを用いたスパッタリング法で行い、上部電極給電配線16を各々分離する。

【0047】

上部電極13の材料としては、前記のIr、Pt、Auの積層膜を用い、それぞれの膜厚は数nmとする。これによりホトリソグラフィ・エッチングに付随する、上部

電極やトンネル絶縁膜への損傷を回避することができる。

【0048】

続いてMIM型電子源基板（カソード基板10）を用いて、表示装置全体の製造方法を説明する。

【0049】

まず、上述の製法にしたがってカソード基板10上にMIM型電子源を複数個配列したカソード基板を作製する。

【0050】

説明を単純化するため、図24（平面図）、図25（線分A-A'断面図）及び図26（線分B-B'断面図）には（3×4）ドットのMIM型電子源基板10の平面図と断面図を示した。実際には表示ドット数に対応した数のMIM型電子源マトリクスを形成する。

【0051】

これまでのMIM型電子源の製造方法では説明しなかったが、表示装置を構成する場合、下部電極11、上部電極給電配線16の電極端部は駆動回路との接続のため、電極面を露出しておかなければならない。

（2）アノード基板110の作成：

図27（平面図）、図28（線分A-A'断面図）及び図29（線分B-B'断面図）において、アノード基板110の作製方法を説明する。

【0052】

アノード基板110には透光性のガラスなどを用いる。まず、表示装置のコントラストを上げる目的でブラックマトリクス117を形成する。ブラックマトリクス117は、PVA（ポリビニルアルコール）と重クロム酸アンモニウムとを混合した溶液をアノード基板110に塗布し、ブラックマトリクス117を形成したい部分以外に紫外線を照射して感光させた後、未感光部分を除去し、そこに黒鉛粉末を溶かした溶液を塗布し、PVAをリフトオフすることにより形成する。

【0053】

次に赤色蛍光体111を形成する。蛍光体粒子にPVA（ポリビニルアルコール）と重クロム酸アンモニウムとを混合した水溶液をアノード基板110上に塗布した後

、蛍光体を形成する部分に紫外線を照射して感光させた後、未感光部分を流水で除去する。このようにして赤色蛍光体111をパターン化する。

【0054】

パターンは図27、図28、図29に示したようなドット状にパターン化する。同様にして、緑色蛍光体112と青色蛍光体113を形成する。蛍光体としては、例えば赤色に $\text{Y}_2\text{O}_2\text{S}:\text{Eu}$ (P22-R)、緑色に $\text{ZnS}:\text{Cu}$ 、 Al (P22-G)、青色に $\text{ZnS}:\text{Ag}$ (P22-B)を用いればよい。

【0055】

次いで、ニトロセルロースなどの膜でフィルミングした後、アノード基板110全体に Al を、膜厚75 nm程度蒸着してメタルバック114とする。このメタルバック114が加速電極として働く。その後、アノード基板110を大気中400℃程度に加熱してフィルミング膜やPVAなどの有機物を加熱分解する。このようにして、アノード基板110が完成する。

(3) 表示パネルの作成:

このようにして製作したアノード基板110とカソード基板10とをスペーサ30を介し、周囲の枠116をフリットガラス115で封着する。

【0056】

図30及び図31に貼り合わせた表示パネルの線分A-A'断面(図30)と線分B-B'断面(図31)に相当する部分を示す。なお、これら表示パネルの線分A-A'断面及び線分B-B'断面は、カソード基板10及びアノード基板110を図示した場合の線分にそれぞれ対応する。

【0057】

アノード基板110ーカソード基板10間の距離は1～3mm程度になるようにスペーサ30の高さを設定する。スペーサ30は、例えば板状のガラス製またはセラミックス製で、少なくともその表面に導電性を付与したもので構成し、その一端を上部電極給電配線16に隣接するスペーサ配線16'上に配置し、電氣的に接続する。

【0058】

スペーサ30の他端は表示基板側(アノード基板110側)のブラックマトリクス117の下に配置し、例えば導電性フリットガラス115'等の接続部材で固定される

ため、スペーサ30が蛍光体の発光を阻害することはない。スペーサ30とスペーサ配線16'との電氣的な接続は、スペーサ30をカソード基板10-アノード基板110間に圧入して、その一端をスペーサ配線16'に接触させるか、あるいは必要に応じ例えば導電ペーストで接続しても良い。

【0059】

スペーサ30は、上記のようにガラスやセラミックス等の絶縁材に電子伝導性の導電材料をコーティングして、例えばシート抵抗を $1\text{E}+10\sim 1\text{E}+13\Omega/\square$ としたもの、または、これらの絶縁材自身に導電性を付与した導電性ガラスもしくは導電性セラミックスの場合、電子伝導性で、かつ体積抵抗率が例えば $1\text{E}+8\sim 1\text{E}+11\Omega\cdot\text{cm}$ のものが好ましい。

【0060】

図31に示しているように、この例では、説明を単純化するため、R（赤）、G（緑）、B（青）に発光する蛍光体ドット毎、すなわち、全てのスペーサ配線16'の上にスペーサ30を立てているが、実際の表示パネルでは機械強度が耐える範囲で、スペーサ30の枚数（密度）を減らし、大体数cmおきに立てればよい。

【0061】

また、本実施例では述べなかったが、板状スペーサの代わりに、支柱状のスペーサ、格子状のスペーサを使用する場合でも同様な手法によりパネル組み立てが可能である。

【0062】

端部周縁を封着したパネル120は、 10^{-7}Torr 程度の真空中に排気して、封じきる。封止後、パネル内に内蔵したゲッターを活性化し、パネル内を高真空中に維持する。例えば、Baを主成分とするゲッター材の場合、高周波誘導加熱等によりゲッター膜を形成できる。また、Zrを主成分とする非蒸発型ゲッターを用いてもよい。このようにして、MIM型電子源を用いた表示パネル120が完成する。

【0063】

このように本実施例では、アノード基板110とカソード基板10間の距離は1～3mm程度と長いので、メタルバック114に印加する加速電圧を1～10KVと高電圧に出来る。これにより、蛍光体には陰極線管（CRT）用の蛍光体を使用できる。

【0064】

図32は、このようにして製作した表示装置パネル120の駆動回路への結線図であり、本発明の表示装置を駆動する電気回路全体の概略図を示している。

【0065】

カソード基板10上に設けられた下部電極11は、信号線駆動回路40へFPC70で結線し、上部電極給電配線16は走査線駆動回路50にFPC70で結線する。信号線駆動回路40には、各信号線11に対応した信号駆動回路Dが配設されており、走査線駆動回路50には、各走査線16に対応した走査駆動回路Sが配設されている。

【0066】

スペーサ配線16'は、同じくFPC70を介して走査線駆動回路50に繋ぎ、駆動回路の内部で接地電位を与える。

【0067】

この方式の優れた点は、製造工数を増やすことなく、走査線16の接続と同時にスペーサ配線16'を介してスペーサ30へ接地電位を与えることにある。

【0068】

ここで、m番目の上部電極給電配線（走査線）16と、n番目の下部電極（信号線）11の交点に位置する画素を、座標（m、n）で表わす。メタルバック114には高電圧発生回路60から1～10KV程度の加速電圧を印加する。

【0069】

なお、本実施例では、図32に示すように、走査線16及び信号線11ともにカソード基板10の片側から駆動することを想定しているが、必要に応じて両側にそれぞれの駆動回路を配備することは、何ら本発明の実現性を妨げるものではない。

【0070】

図33は、各駆動回路における発生電圧波形の一例を示す。

時刻t0ではいずれの電極も電圧ゼロであるので電子は放出されず、蛍光体は発光しない。

【0071】

時刻t1において、上部電極給電配線16のうちS1だけにV1なる電圧をかけ、下部電極配線11のうちD2、D3には-V2なる電圧を印加する。座標（1、2）、（1

、3)において下部電極11と上部電極給電配線16間には $(V1+V2)$ なる電圧が印加されるので、 $(V1+V2)$ を電子放出開始電圧以上に設定しておけば、これらのMIM型電子源からは電子が真空中に放出される。放出された電子は、メタルバック114に高電圧発生回路60から印加された加速電圧により加速された後、蛍光体に入射し、発光を起こす。

【0072】

同様に時刻 t_2 において、上部電極給電配線16のS2に $V1$ なる電圧を印加し、下部電極11のD3に $-V2$ なる電圧を印加すると、同様に座標(2, 3)が点灯し、電子が放出され、この電子源座標上の蛍光体が発光する。

【0073】

このようにして、上部電極給電配線16に印加する走査信号を変えることにより所望の画像または情報を表示することが出来る。また、下部電極11への印加電圧 $-V2$ の大きさを適宜変えることにより、階調のある画像を表示することが出来る。

【0074】

時刻 t_5 において、トンネル絶縁膜12中に蓄積される電荷を開放するための反転電圧の印加を行う。すなわち、上部電極給電配線16の全てに $-V3$ を加え、同時に全下部電極11に0Vを印加する。

【0075】

なお、本実施例において、選択されていない走査線の電位は、0V(接地)としているが、例えば特許文献3(特開2001-83907号公報)の記載のように、非選択状態の走査線を高インピーダンス状態に保持することで、充放電にともなう無効電力を削減する手法を適用することは、何ら本発明の実現性を妨げるものではない。

<実施例2>

ここでは、スペーサ配線16'への接地電位の印加を、走査駆動回路50を介さず行う方式を開示する。先ず、実施例1に倣って、MIM電子源を含むカソード基板10、アノード基板110、及びパネル120を作製する。

【0076】

図 3 4 は、このようにして製作した表示装置パネル120の駆動回路への結線図である。下部電極11は、信号線駆動回路40へFPC70で結線し、上部電極給電配線16は走査線駆動回路50にFPC70で結線する。

【 0 0 7 7 】

スペーサ配線16'は、同じくFPC70を介して走査線駆動回路50に繋ぐ。ここで用いるFPC70は、予め全てのスペーサ配線16'を短絡する内部配線を備えたものにする。一つにまとめられたスペーサ配線は、FPC70の端子部で、走査線駆動回路50と独立した接地配線につながる。

【 0 0 7 8 】

この方式の優れた点は、万が一パネル120内部で放電が発生してスペーサ配線16'に高電圧が掛かったとしても、走査線駆動回路50に直接影響が及ばないことである。

<実施例 3>

ここでは、スペーサ配線16'への接地電位の印加を、駆動回路を介さず行う別の方式を開示する。先ず、実施例 1 に倣って、MIM電子源を含むカソード基板10、アノード基板110、及びパネル120を作製する。

【 0 0 7 9 】

このとき留意することは、実施例 2 とは異なり、カソード基板10において、スペーサ配線16'の端子部を上部電極給電配線16のそれよりも外側まで延長し、互いに短絡させる点にある。

【 0 0 8 0 】

図 3 5 は、このようにして製作した表示装置パネルの駆動回路への結線図である。下部電極11は、信号線駆動回路40へFPC70で結線し、上部電極給電配線16は、走査線駆動回路50にFPC70で結線する。スペーサ配線16'は、カソード基板上の端子部で一つにまとめられ上で、独立した接地配線につながる。

【 0 0 8 1 】

この方式の優れた点は、FPC70の性能に制限されることなく、低インピーダンスの接地配線を導入できることにある。したがって、万が一パネル内部で放電が発生してスペーサ配線16'に高電圧が掛かったとしても、走査線駆動回路50に対

するダメージを完全に回避することができる。

<実施例 4>

本発明の上記第 2 の構成例に基づく実施例を図 17～図 45 を用いて説明する。

(1) カソード基板 10 の作成:

ここでは、上部電極 13 が接続電極下層 15A に電氣的に接続し、かつ上部電極給電配線 16 がアルミニウム、アルミニウム合金、もしくはアルミニウムよりも抵抗率の低い金属により裏打ちされている場合の製造方法を開示する。

【0082】

ここで予め MIM 電子源製造方法としては、本実施例に限られるものでないことを断っておく。上述の特許文献 1 (特開 2001-101965 号公報) のみならず、特許文献 2 (特開 2000-208076 号公報) に開示されたテーパ構造を備えた上部電極給電配線を有する MIM 電子源などに、本発明を適用することは容易に実現可能である。

【0083】

電子源の製造方法に関しては、実施例 1 に記載された手法を踏襲し図 3 から図 8 に従って作製する。完成した電子源を図 36 (平面図)、図 37 (線分 A-A' 断面図) 及び図 38 (線分 B-B' 断面図) に示すが、実施例 1 における図 21、9 図 B、9 図 C では、サブピクセル内に 2 本あった上層に位置する電気配線 16、16' を、ここでは一本の走査線 16 として幅を約 2 倍に広くし、より低インピーダンス化を図っている。つまり、この実施例の特徴は、スペーサ配線 16' を走査線 16 と共用する点にある。したがって、上部電極 16 を形成する工程も実施例 1 に比べて単純化される。

【0084】

なぜ上部電極給電層をエッチング工程で走査線 16 とスペーサ配線 16' とに分割せずに、走査線 16 の一部をスペース配線 16' として共用することができるのかについて以下に簡単に説明する。

【0085】

走査線 16 への印加電圧は、通常 5 V 程度の低電圧であるのに対し、アノード基板 110 のメタルバック 114 への印加電圧 (加速電圧) は、前述したように 1～10

KVと云う高電圧である。このことから、上記メタルバック114へ印加する高電圧（加速電圧）に対して、走査線16への5V程度の印加電圧は、実質的に接地電圧とみなせる。つまり、走査線をスペーサ接地配線とみなせる。したがって、スペーサ配線を独立させずに、走査線16の一部をスペーサ配線16'として共用することができるのである。

【0086】

図39（平面図）、図40（線分A-A'断面図）及び図41（線分B-B'断面図）に電子源を配列したカソード基板10の模式図を示す。説明を単純化するため、ここでは(3×4)ドットのMIM型電子源基板を示した。実際の表示パネルでは表示ドット数に対応した数のMIM型電子源マトリクスを形成する。

【0087】

MIM型電子源の製造方法では説明しなかったが、表示装置を構成する場合、下部電極11、上部電極給電配線16の電極端部は駆動回路との接続のため、電極面を露出しておかなければならない。

（2）アノード基板110の作成：

蛍光面を形成したアノード基板110については、実施例1で開示した手法で作製する。

（3）表示パネルの作成：

出来上がったアノード基板110と上述のカソード基板10を張り合わせた状態での表示パネル120の断面構造を図42（線分A-A'断面）、図43（線分B-B'断面）に示す。なお、これら表示パネルの線分A-A'断面及び線分B-B'断面は、カソード基板10及びアノード基板110を図示した場合の線分にそれぞれ対応する。

【0088】

ここでスペーサ30は、走査線16上の一部（ただし電子放出領域を避けて）に接続されている。

【0089】

図44では、この表示パネル120と駆動回路との接続状態を模式的に示す。前述のようにスペーサ30の下端は走査線16上に接続されており、走査線16は走査線駆動回路50にFPC70を介してつながれている。

【0090】

図45は、本実施例で作成した表示パネル120を図44に示したように駆動回路に繋ぎ、駆動した時の駆動電圧波形を示す。基本的には実施例1における図33と同じであるが、本実施例では独立した専用のスペーサ配線16'はなく、スペーサの下端の走査線16を介して、所定の走査線の選択時（所定座標の電子源を選択する）には走査線電位V1が印加されている点が異なっている。

【0091】

言うまでもなく、所定の走査線を選択することにより所定座標の電子源が選択されると、この選択された電子源の電子放出領域から電子が放出されるため、電子源に隣接するスペーサは帯電してチャージアップを起こす。そこで、本実施例では、少なくともこの電子が放出されている期間内にスペーサ30の電位を、アノード電圧（アノード基板110のメタルバック114に印加する加速電圧）より低い電位（走査線電位）に固定することで、スペーサの表面伝導により帯電を除去することができる。スペーサ30の帯電を防止することは電子軌道の歪みや沿面放電を抑止する上で重要である。

【0092】

本実施例の場合、アノード電圧が1～10KVの高電圧であるのに対し、走査線電圧が5V程度の低電圧であることから、この走査線に接続されたスペーサ30は、実質的に接地電位となり、帯電を十分に防止することができる。

【0093】

この走査線が選択されな時については、特許文献3（特開2001-83907号公報）記載のように、通常0Vに固定される走査線を高インピーダンス状態に保持することで、充放電にともなう無効電力を削減することも可能である。この手法を適用することは、本発明の実現性を何ら妨げるものではない。

【0094】**【発明の効果】**

以上説明したように、本発明により所期の目的を達成することができた。すなわち、二層配線を有するカソード基板の製造工程において、第二配線が走査線とスペーサ(接地)配線を兼ねるようにする。これにより配線数を増やすことなくス

ペーサ用の接地配線を備えることができ、結果的に製造工程が短縮されるとともに高歩留まりが達成され、コスト低減を図ることが可能となる。

【図面の簡単な説明】

【図 1】

従来技術のMIM型電子源の構造を示す図である。

【図 2】

MIM型電子源の動作原理を示す図である。

【図 3】

本発明のMIM型電子源の製法における下部電極11の形成工程を示す平面図である。

【図 4】

本発明のMIM型電子源の製法における図3の線分A-A'の断面図である。

【図 5】

本発明のMIM型電子源の製法における図3の線分B-B'の断面図である。

【図 6】

本発明のMIM型電子源の製法における下部電極11上へのトンネル絶縁層12の形成工程を示す平面図である。

【図 7】

本発明のMIM型電子源の製法における図6の線分A-A'の断面図である。

【図 8】

本発明のMIM型電子源の製法における図6の線分B-B'の断面図である。

【図 9】

本発明のMIM型電子源の製法における接続電極15A、15Bの形成工程を示す平面図である。

【図 10】

本発明のMIM型電子源の製法における図9の線分A-A'の断面図である。

【図 11】

本発明のMIM型電子源の製法における図9の線分B-B'の断面図である。

【図 12】

本発明のMIM型電子源の製法における上部電極給電配線16、スペーサ配線16'の形成工程を示す平面図である。

【図 1 3】

本発明のMIM型電子源の製法における図 1 2 の線分 A - A ' の断面図である。

【図 1 4】

本発明のMIM型電子源の製法における図 1 2 の線分 B - B ' の断面図である。

【図 1 5】

本発明のMIM型電子源の製造工程を示す平面図である。

【図 1 6】

本発明のMIM型電子源の製造工程を示す図 1 5 の線分 A - A ' の断面図である。

。

【図 1 7】

本発明のMIM型電子源の製造工程を示す図 1 5 の線分 B - B ' の断面図である。

。

【図 1 8】

本発明のMIM型電子源の製造工程を示す平面図である。

【図 1 9】

本発明のMIM型電子源の製造工程を示す図 1 8 の線分 A - A ' の断面図である。

。

【図 2 0】

本発明のMIM型電子源の製造工程を示す図 1 8 の線分 B - B ' の断面図である。

。

【図 2 1】

本発明のMIM型電子源の製造工程を示す平面図である。

【図 2 2】

本発明のMIM型電子源の製造工程を示す図 2 1 の線分 A - A ' の断面図である。

。

【図 2 3】

本発明のMIM型電子源の製造工程を示す図 2 1 の線分 B - B ' の断面図である。

。

【図 2 4】

本発明のカソード基板10の平面図である。

【図 2 5】

本発明のカソード基板10を示す図 2 4 の線分 A - A ' の断面図である。

【図 2 6】

本発明のカソード基板10を示す図 2 4 の線分 B - B ' の断面図である。

【図 2 7】

本発明のMIM型電子源を用いたアノード基板110の製法を示す平面図である。

【図 2 8】

本発明のMIM型電子源を用いたアノード基板110の製法を示す図 2 4 の線分 A - A ' の断面図である。

【図 2 9】

本発明のMIM型電子源を用いたアノード基板110の製法を示す図 2 4 の線分 B - B ' の断面図である。

【図 3 0】

本発明のMIM型電子源を用いた表示装置の製法を示すカソード基板10と同様の線分 A - A ' の断面図である。

【図 3 1】

本発明のMIM型電子源を用いた表示装置の製法を示すカソード基板10と同様の線分 B - B ' の断面図である。

【図 3 2】

本発明の表示パネル120と駆動回路との結線状態を模式的に示す表示装置の平面図である。

【図 3 3】

本発明の表示装置における駆動電圧波形を示す図である。

【図 3 4】

本発明の表示パネル120と駆動回路との結線状態を模式的に示す表示装置の平面図である。

【図 3 5】

本発明の表示パネル120と駆動回路との結線状態を模式的に示す表示装置の平面図である。

【図 3 6】

本発明のMIM型電子源の他の製造工程を示す平面図である。

【図 3 7】

本発明のMIM型電子源の他の製造工程を示す図 3 6 の線分 A - A ' の断面図である。

【図 3 8】

本発明のMIM型電子源の他の製造工程を示す図 3 6 の線分 B - B ' の断面図である。

【図 3 9】

本発明の他の実施例となるカソード基板10の製法を示す平面図である。

【図 4 0】

本発明のMIM型電子源の他の実施例となる図 3 9 の線分 A - A ' の断面図である。

【図 4 1】

本発明のMIM型電子源の他の実施例となる図 3 9 の線分 B - B ' の断面図である。

【図 4 2】

本発明のMIM型電子源を用いた他の実施例となる表示装置の製法を示す線分 A - A ' の断面図である。

【図 4 3】

本発明のMIM型電子源を用いた他の実施例となる表示装置の製法を示す線分 B - B ' の断面図である。

【図 4 4】

本発明の他の実施例となる表示パネル120と駆動回路との結線状態を模式的に示す表示装置の平面図である。

【図 4 5】

本発明の他の実施例となる表示装置における駆動電圧波形を示す図である。

【図 46】

従来の技術を説明するMIM型電子源を用いた表示パネルの断面図である。

【符号の説明】

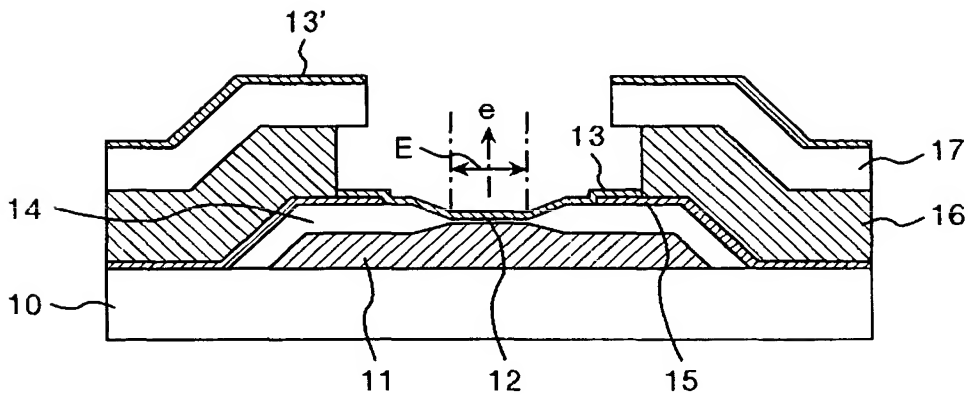
- 10…カソード基板、
- 11…下部電極（信号線）、
- 12…トンネル絶縁層、
- 13、13'…上部電極
- 14…層間絶縁層、
- 15…接続電極、
- 16…上部電極給電配線（走査線）、
- 16'…スペーサ配線、
- 17…表面保護膜、
- 20…真空準位、
- 30…スペーサ、
- 40…信号線駆動回路、
- 50…走査線駆動回路、
- 60…高電圧発生回路、
- 70…フレキシブル印刷回路(FPC)、
- 110…アノード基板、
- 111…赤色蛍光体、
- 112…緑色蛍光体、
- 113…青色蛍光体
- 114…メタルバック、
- 115…フリットガラス、
- 115'…導電性フリットガラス、
- 116…枠ガラス、
- 117…ブラックマトリックス、
- 120…表示パネル、

E…電子放出領域、
e…放出電子。

【書類名】 図面

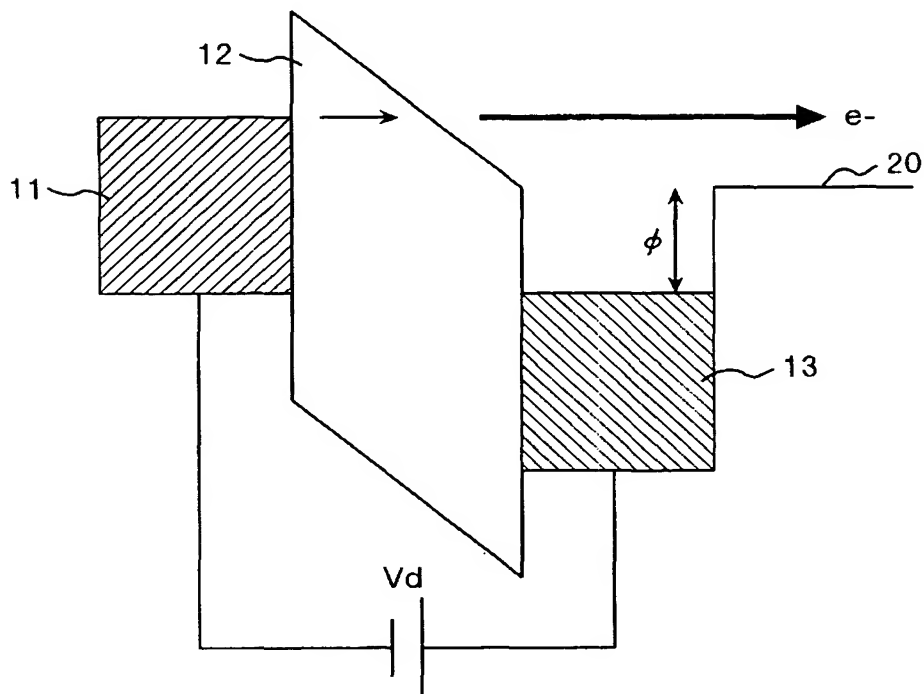
【図 1】

図 1



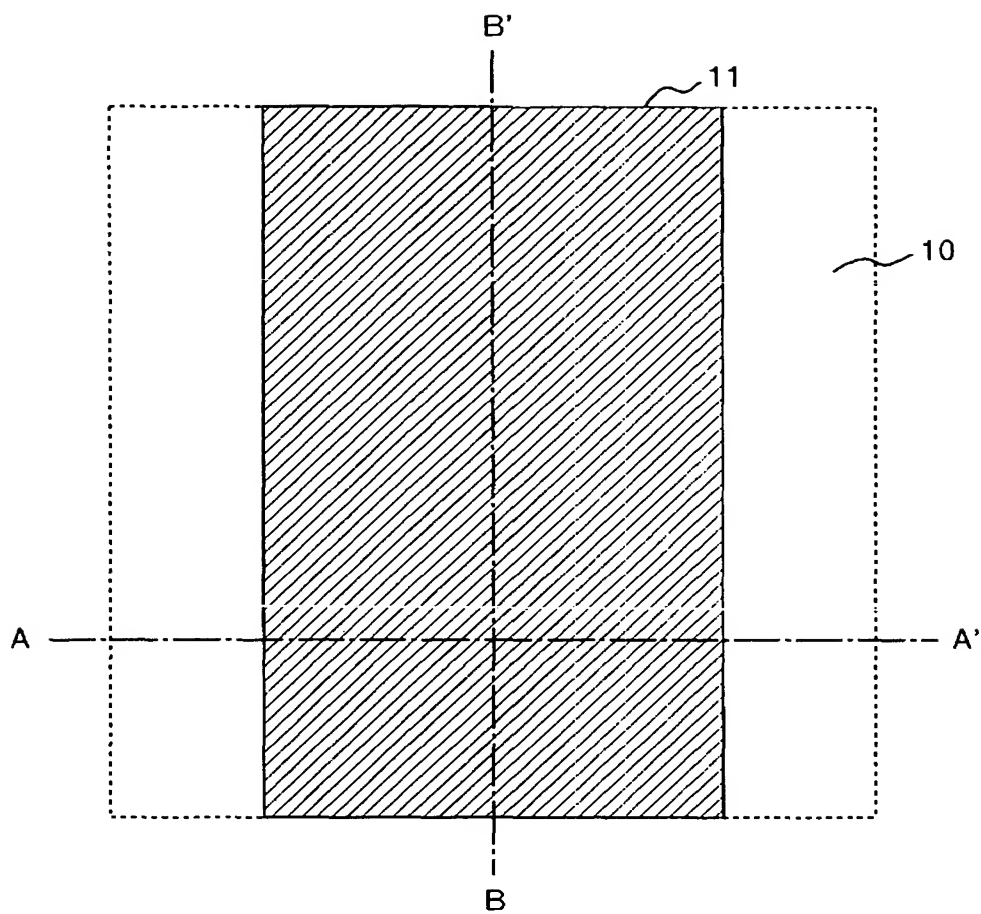
【図 2】

図 2



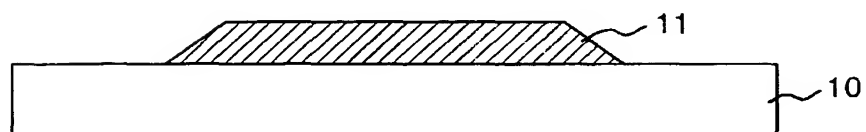
【図 3】

図 3



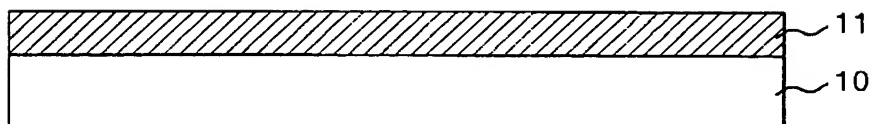
【図 4】

図 4



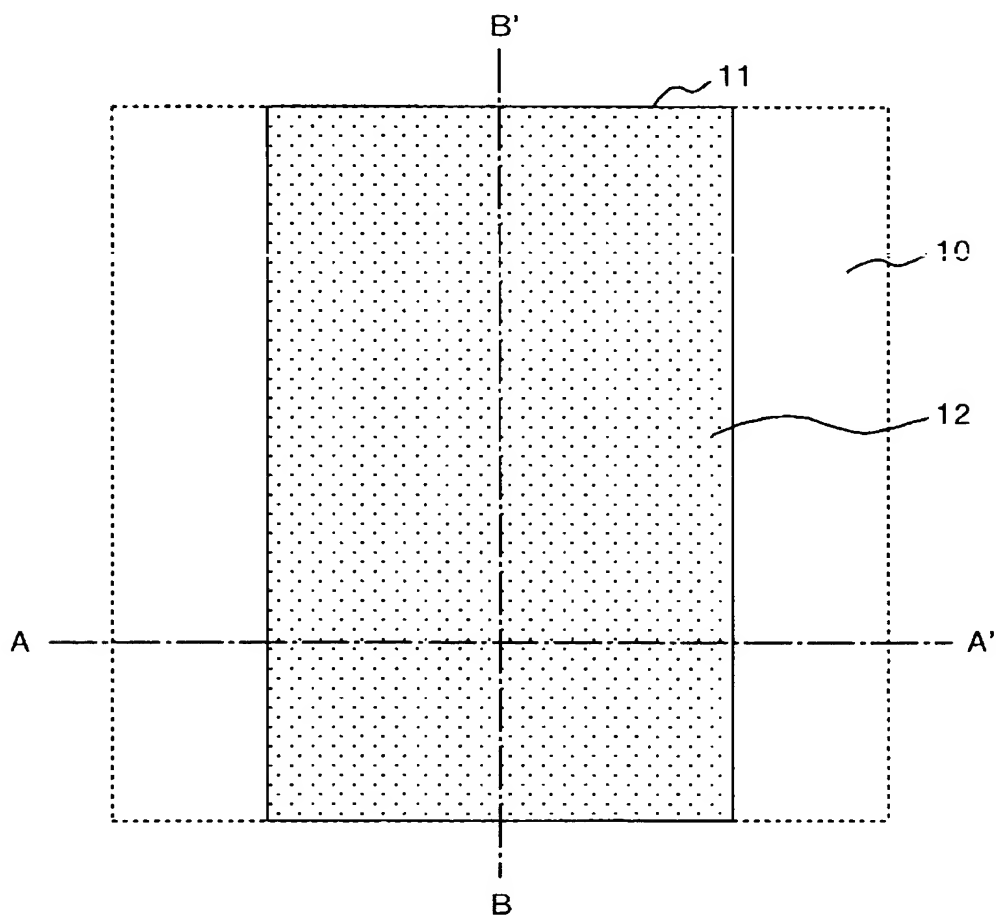
【図 5】

図 5



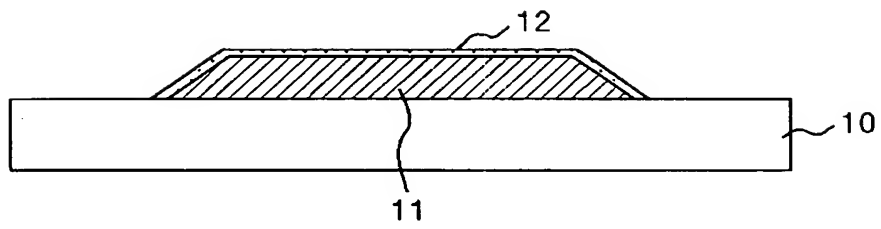
【図 6】

図 6



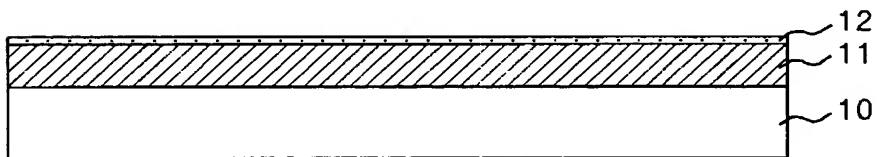
【図 7】

図 7



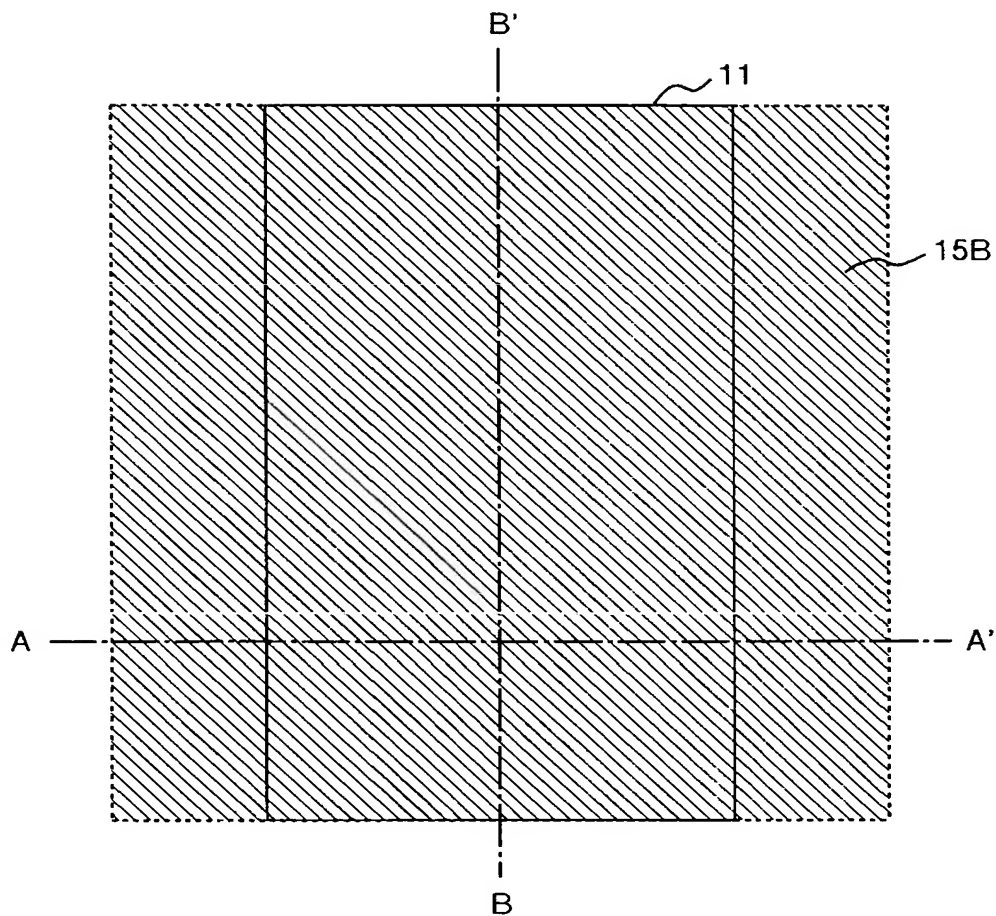
【図 8】

図 8



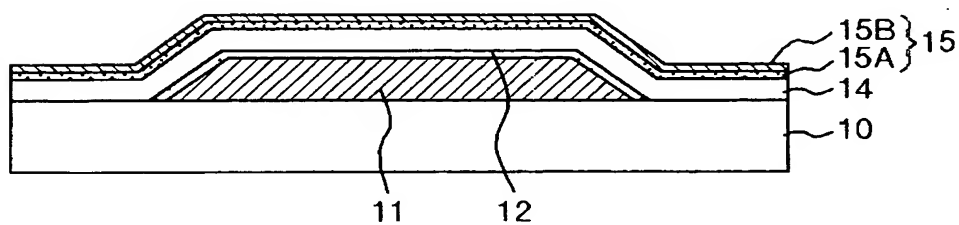
【図 9】

図 9



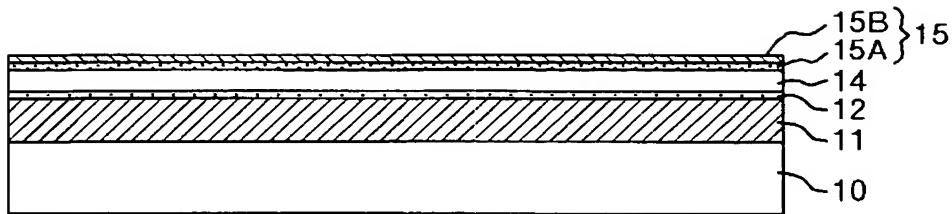
【図 10】

図 10



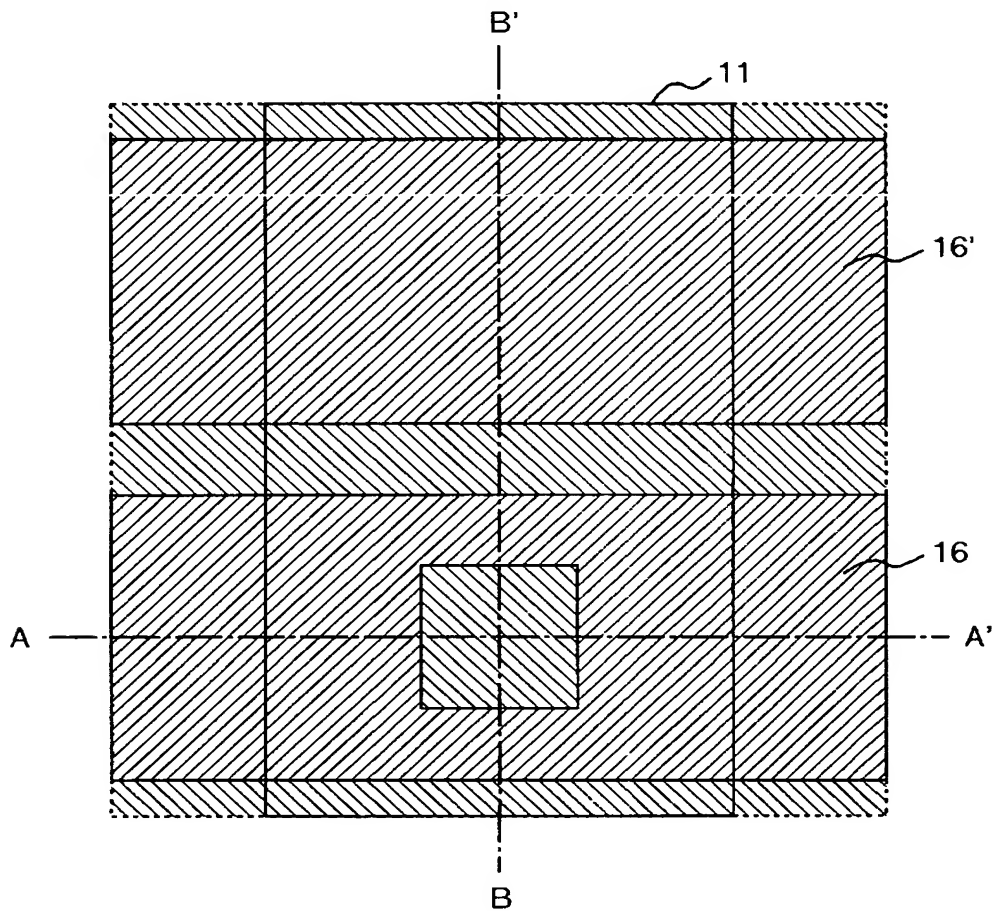
【図 1 1】

図 1 1



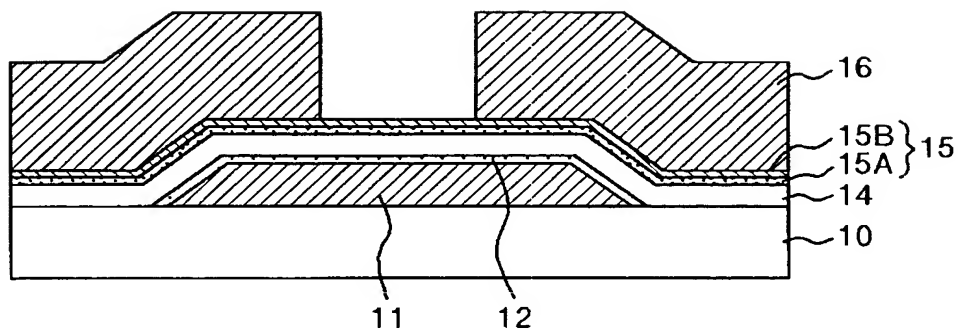
【図 1 2】

図 1 2



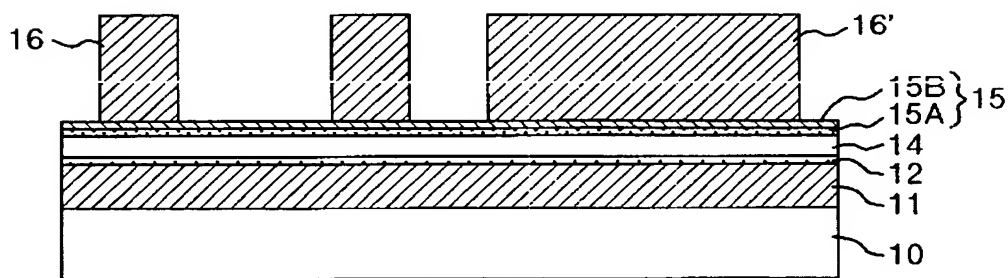
【図 13】

図 13



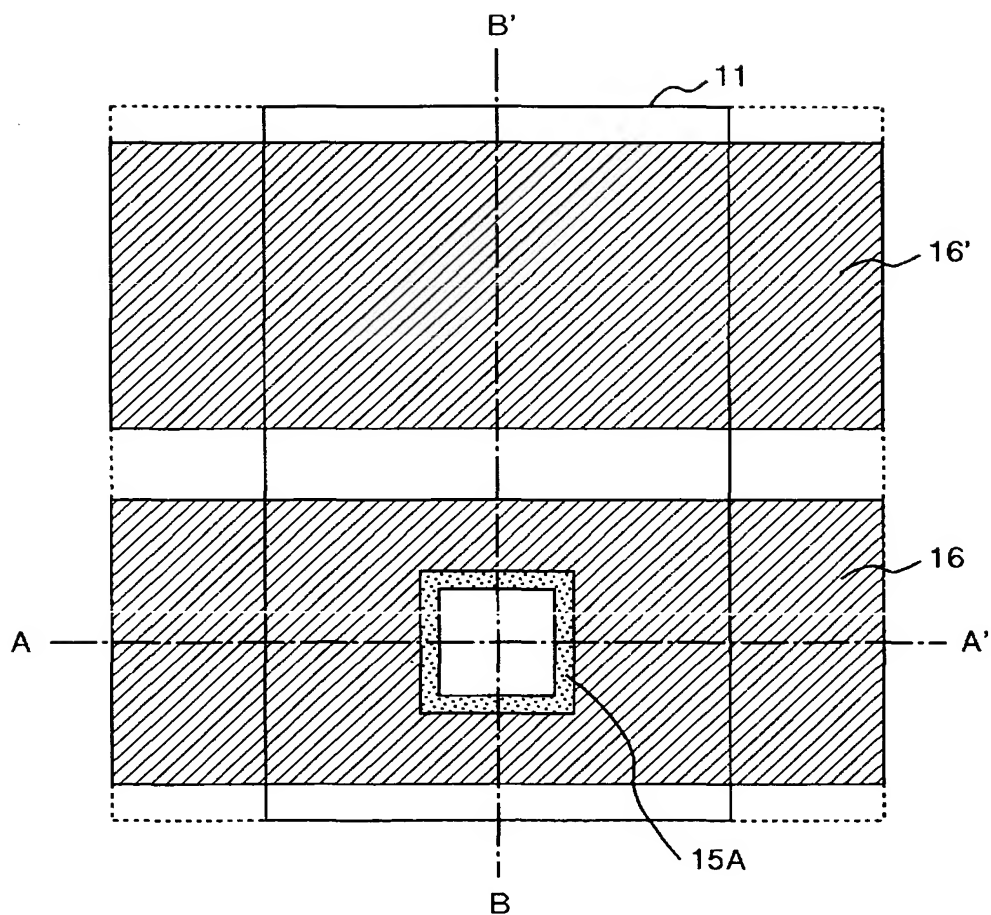
【図 14】

図 14



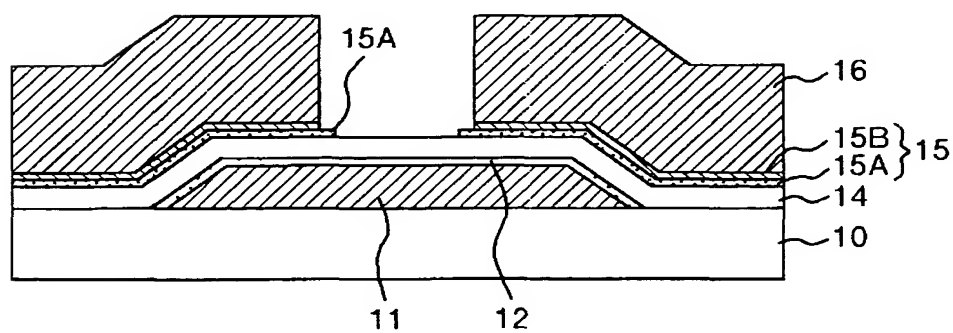
【図 15】

図 15



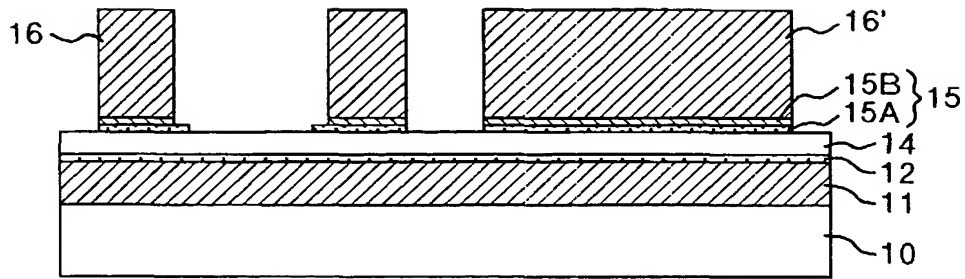
【図 16】

図 16



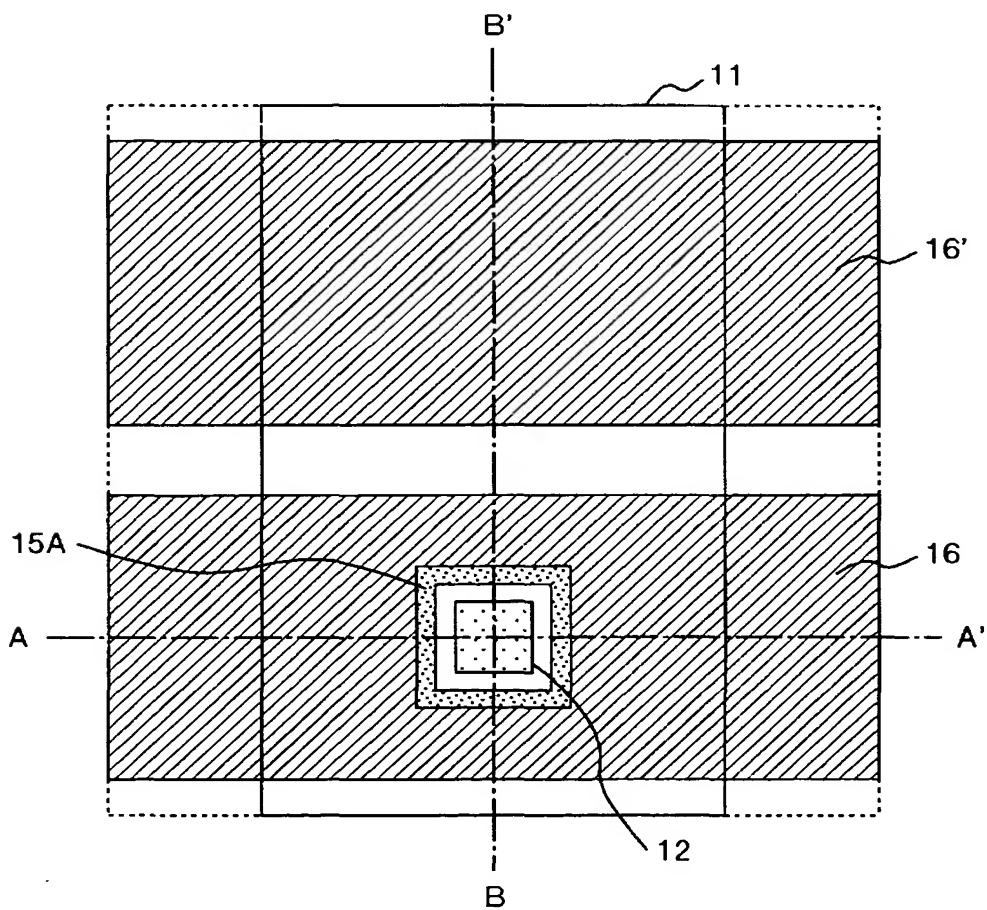
【図 17】

図 17



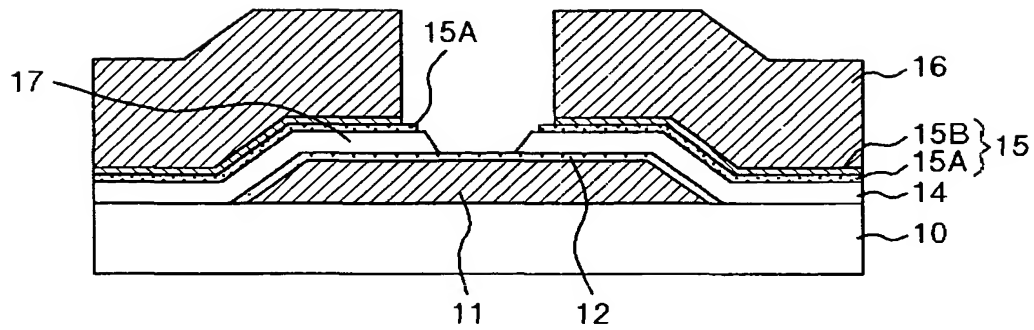
【図 18】

図 18



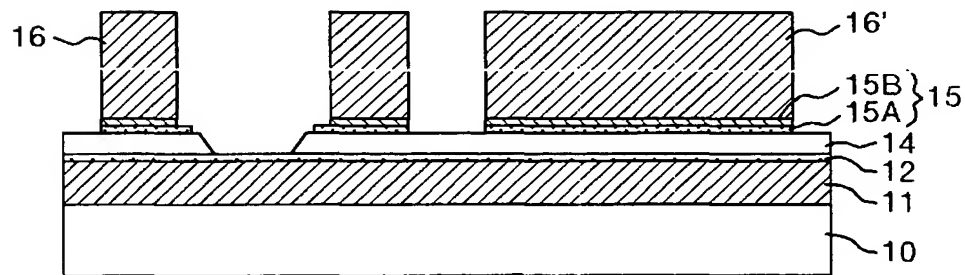
【図 19】

図 19



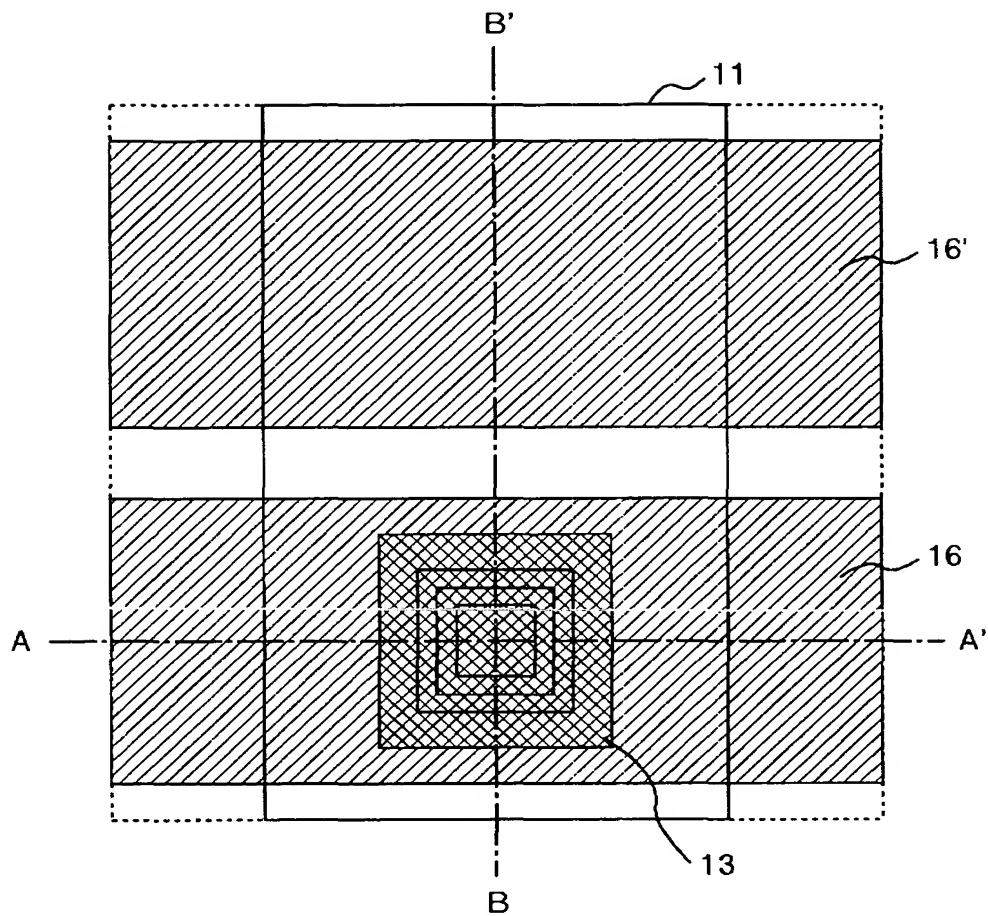
【図 20】

図 20



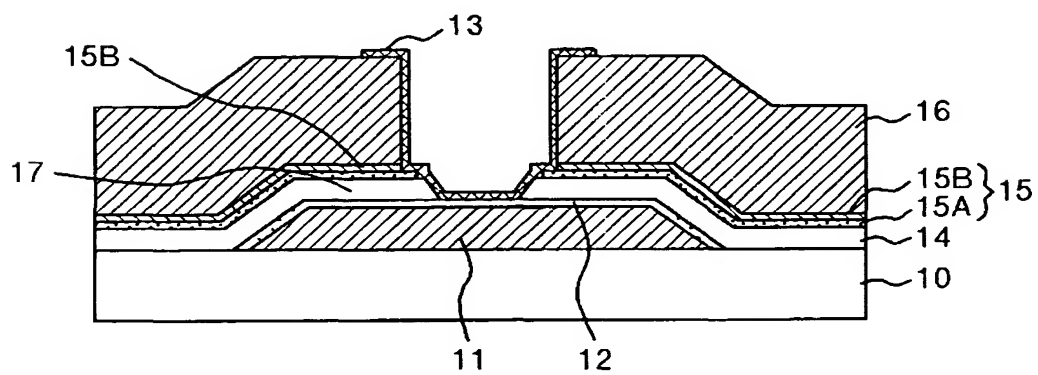
【図 2 1】

図 21



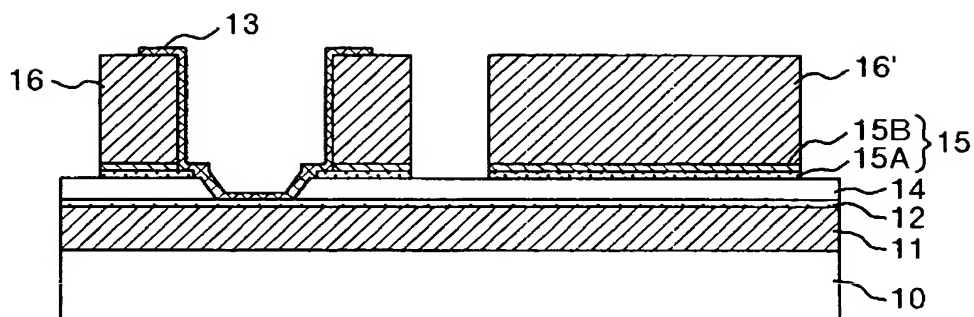
【图 2 2】

図 22



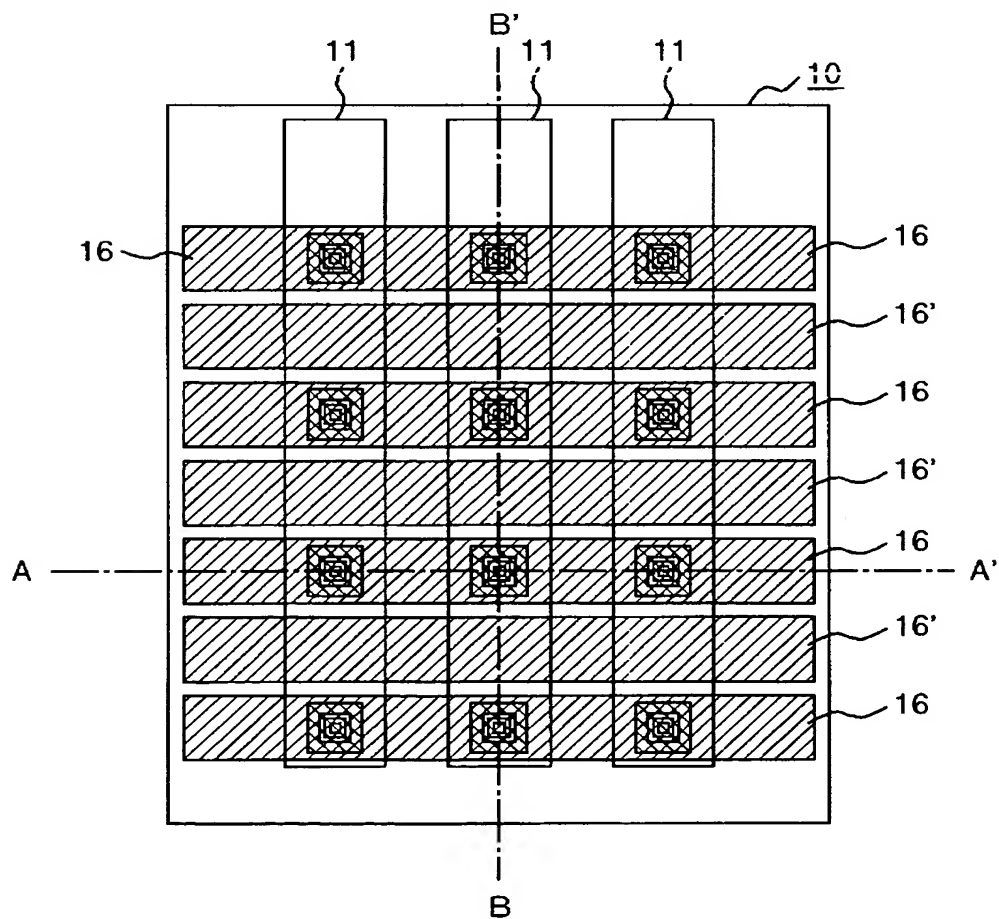
【図 23】

図 23



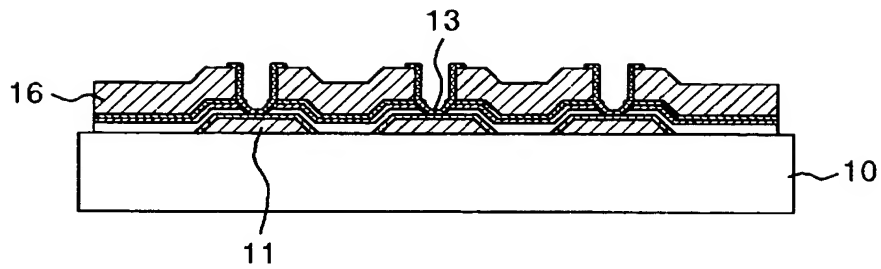
【図 24】

図 24



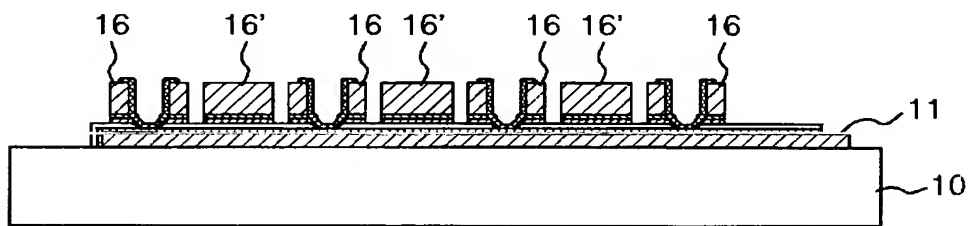
【図 25】

図 25



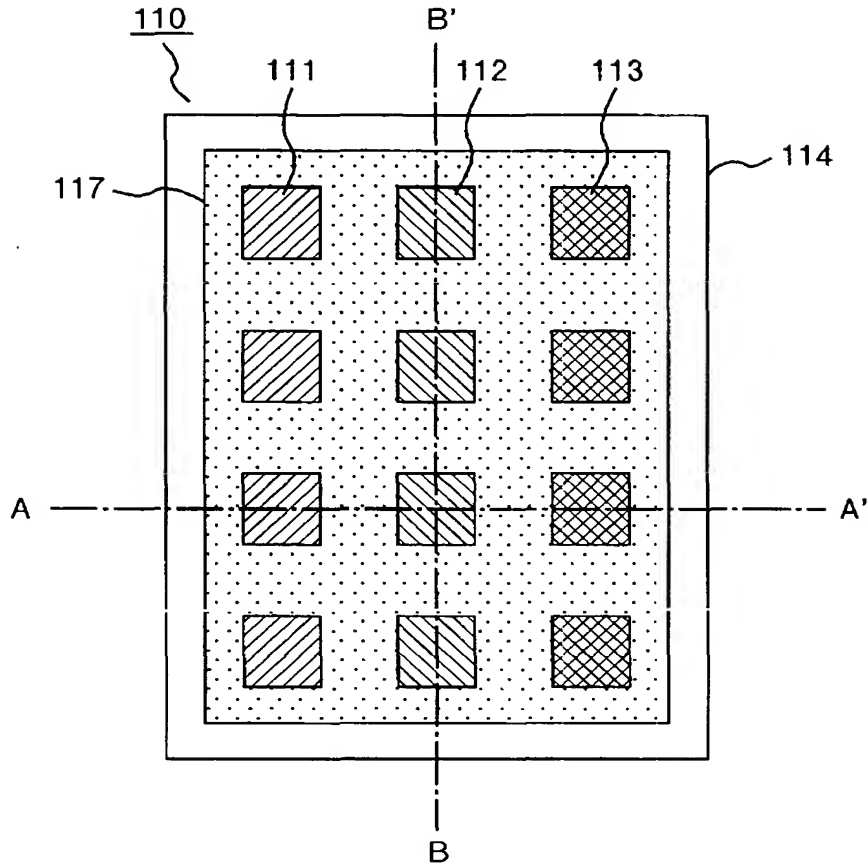
【図 26】

図 26



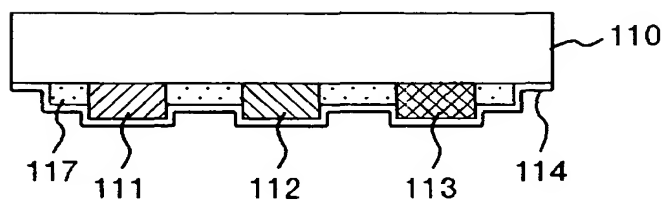
【図 27】

図 27



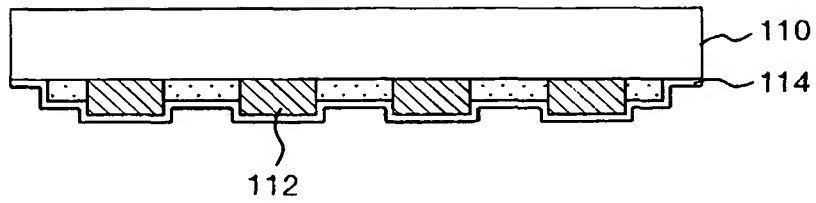
【図 28】

図 28



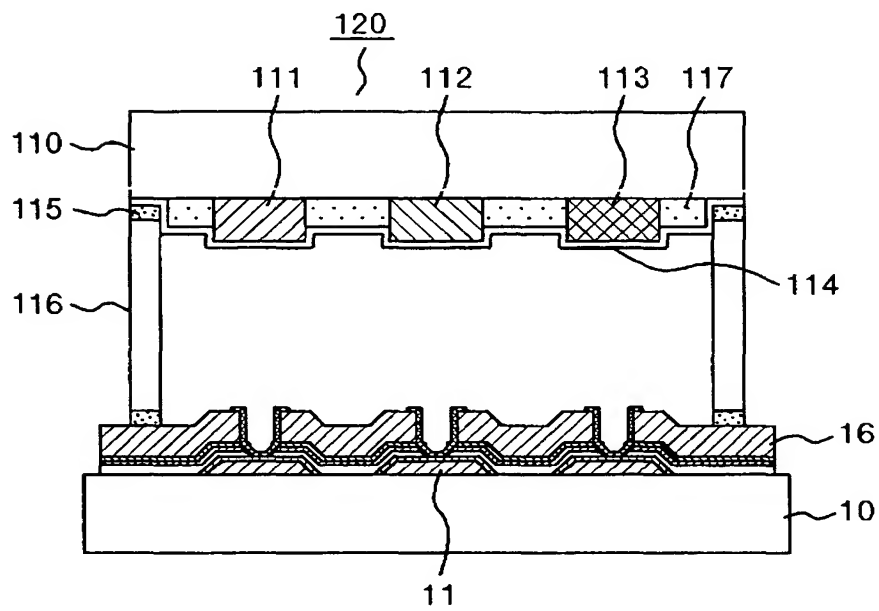
【図 29】

図 29



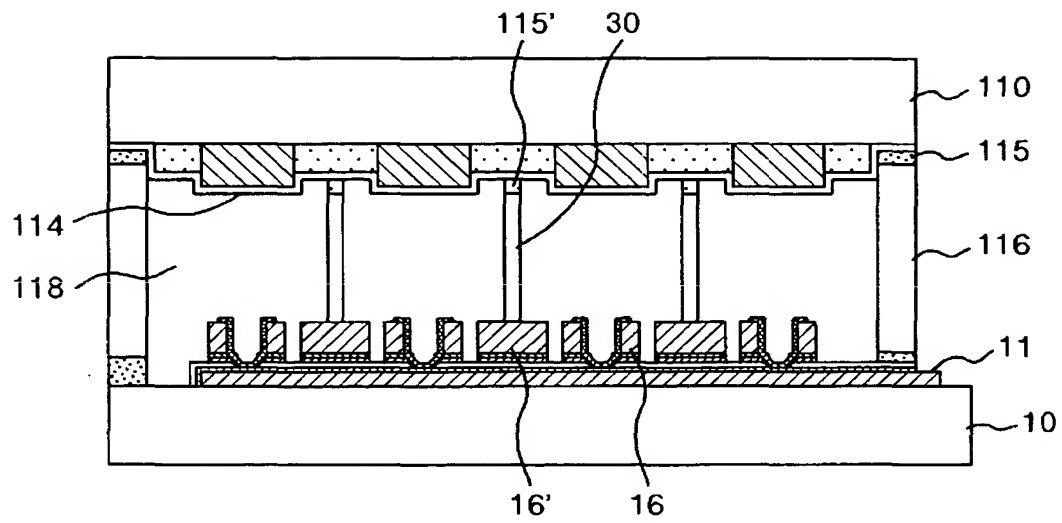
【図 30】

図 30



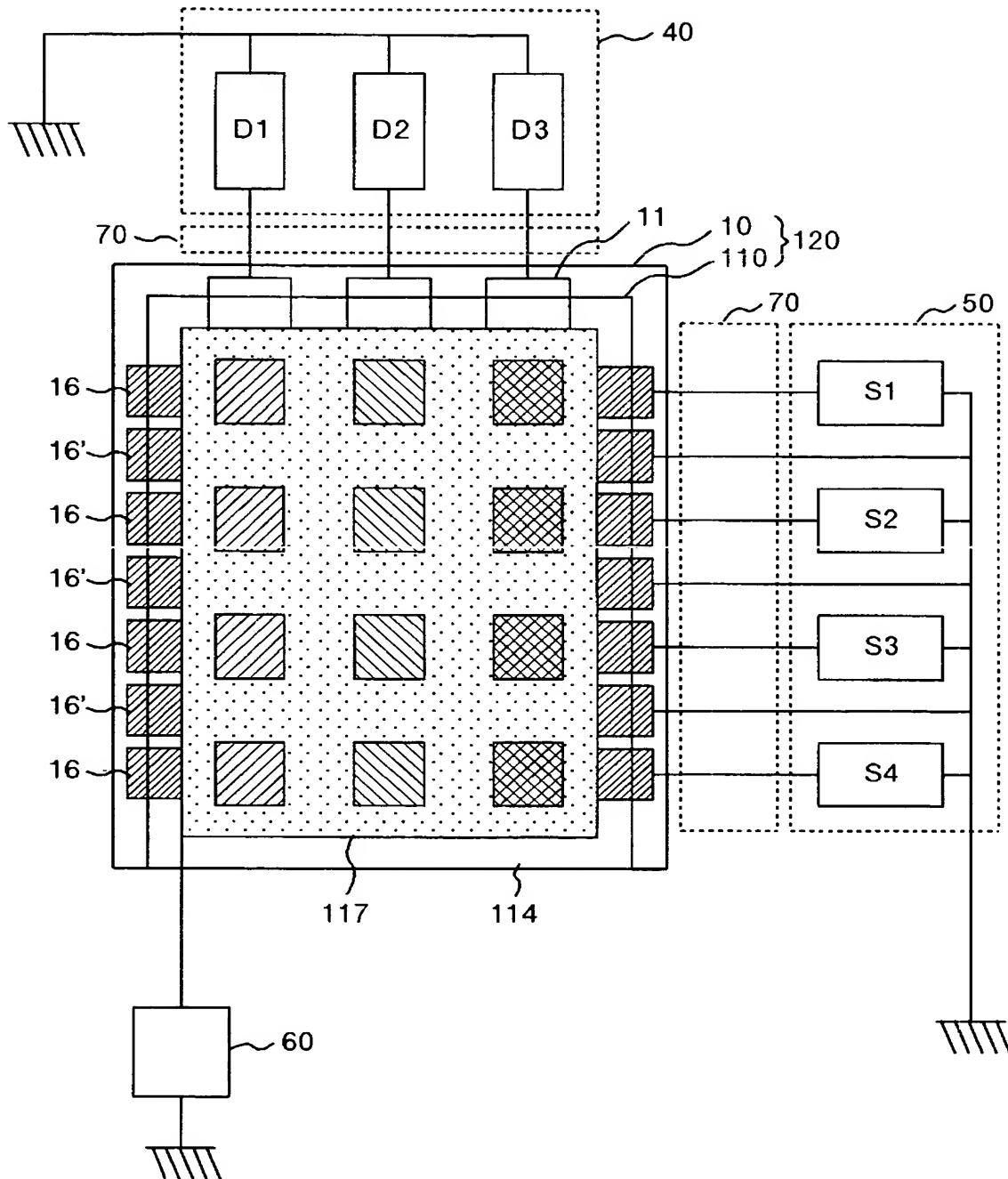
【図 31】

図 31



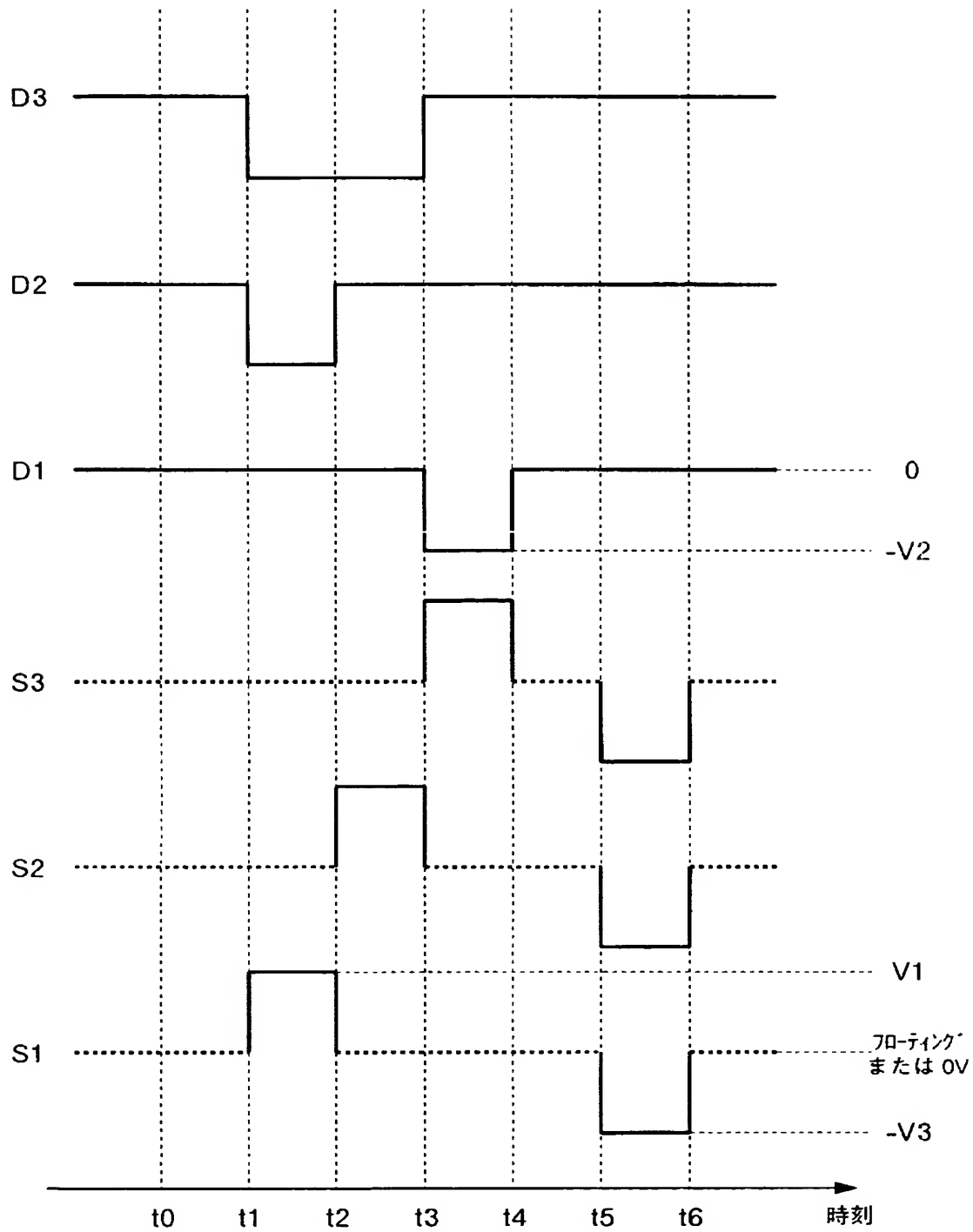
【図 32】

図 32



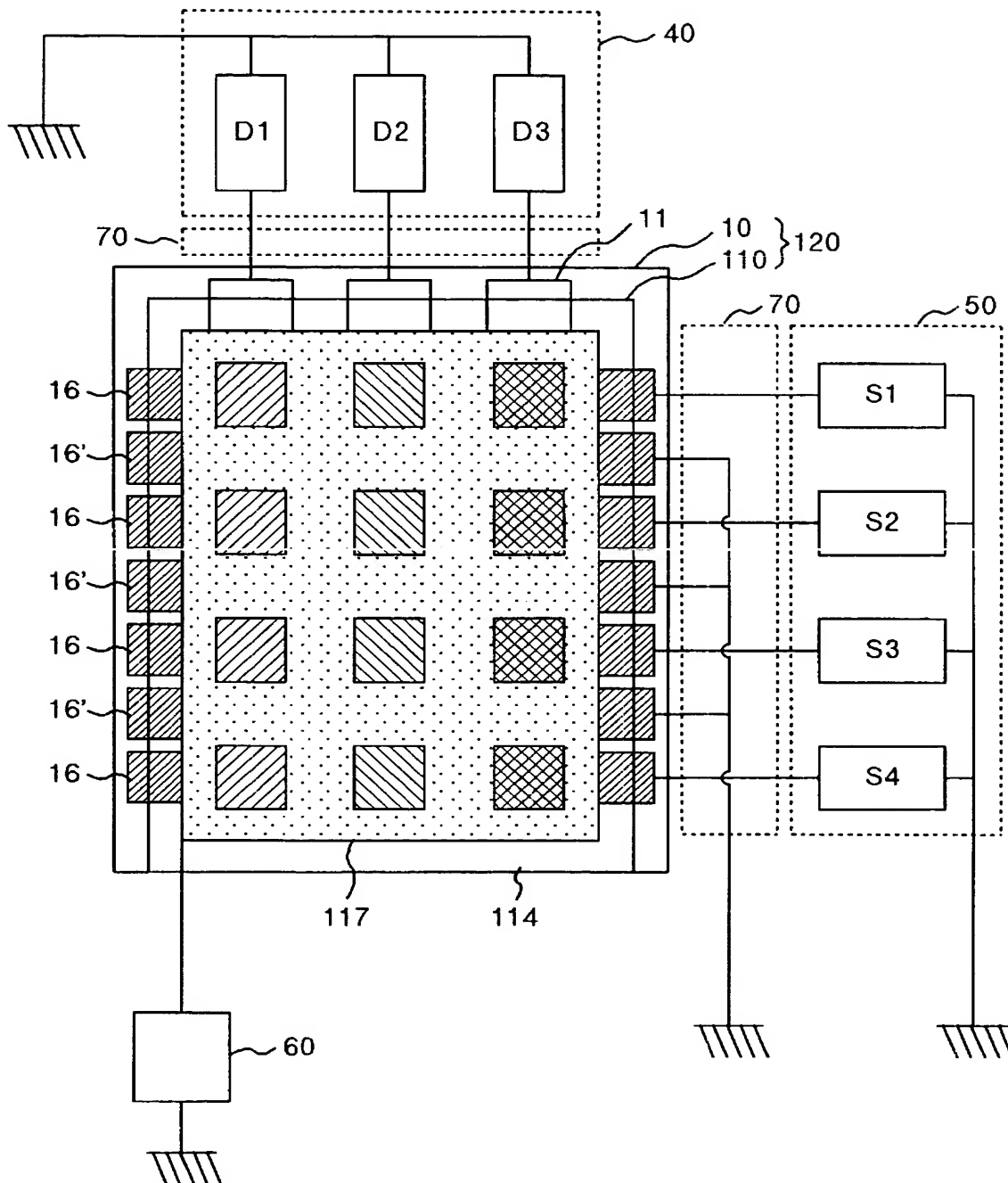
【図 33】

図 33



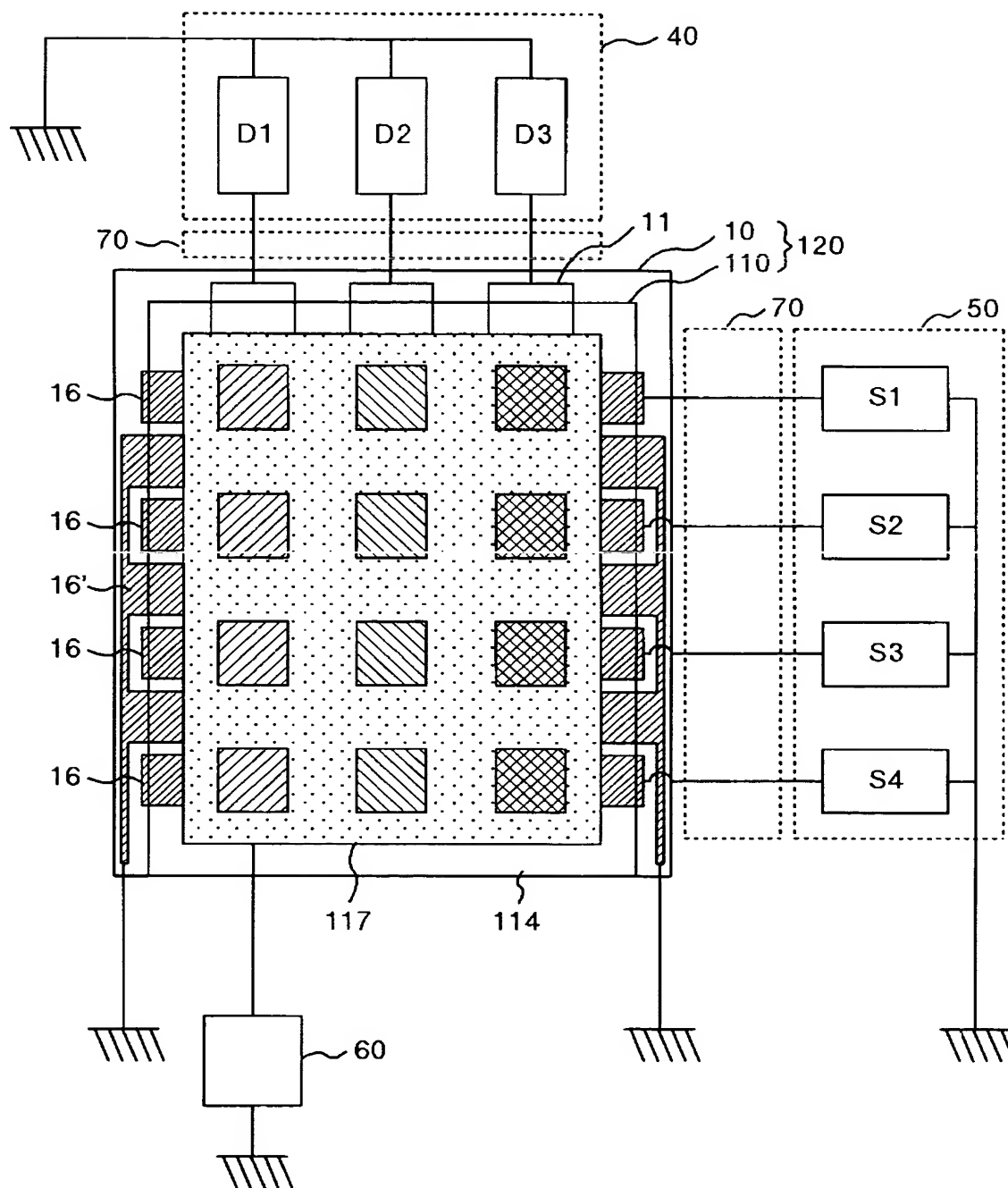
【図 3 4】

図 3 4



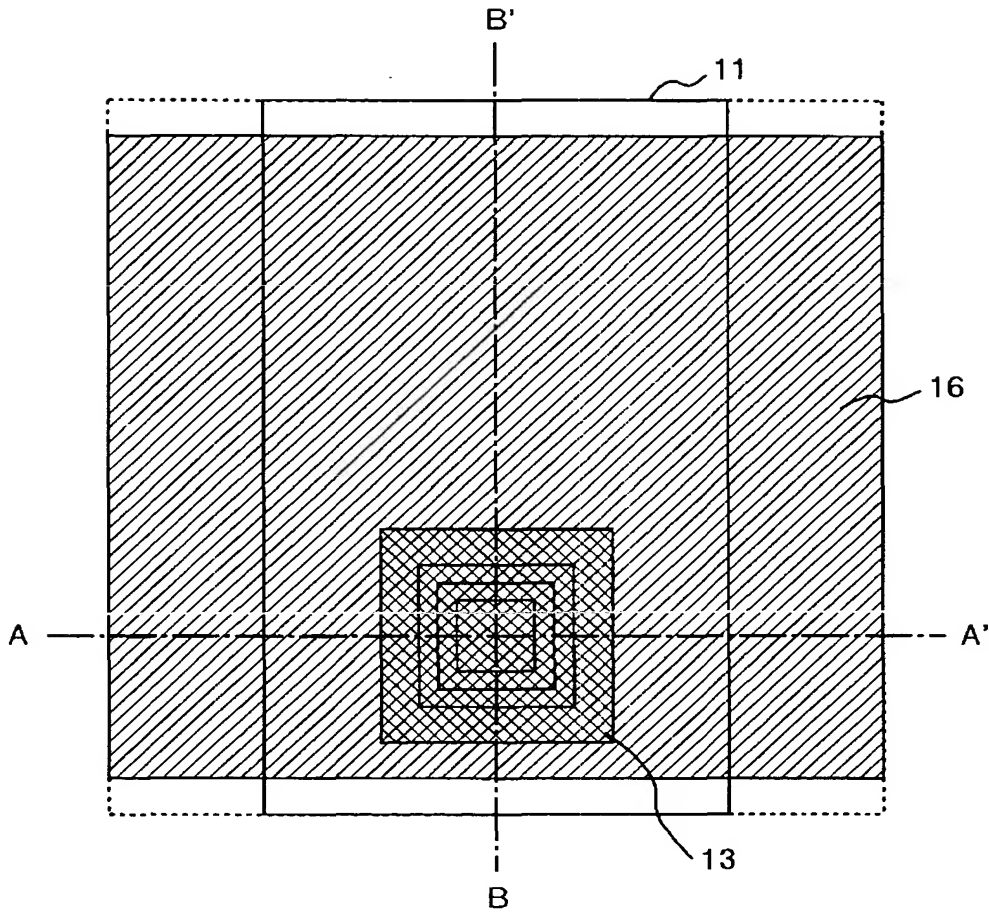
【図 35】

図 35



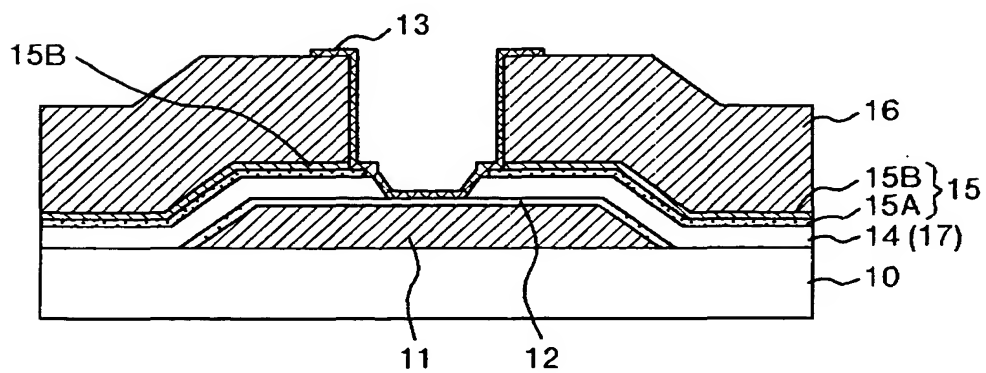
【図 36】

図 36



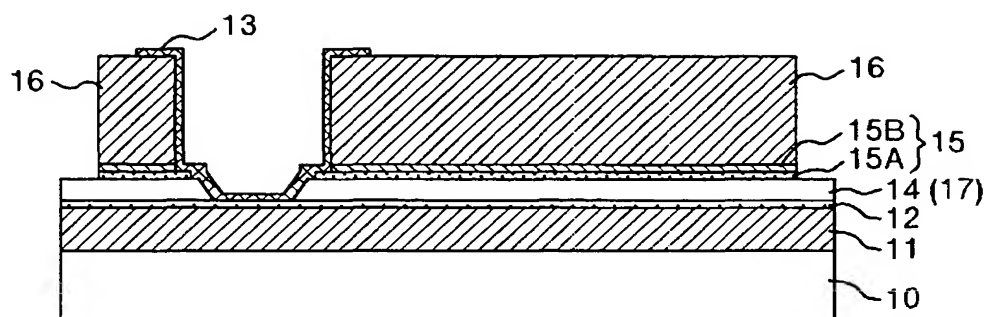
【図 37】

図 37



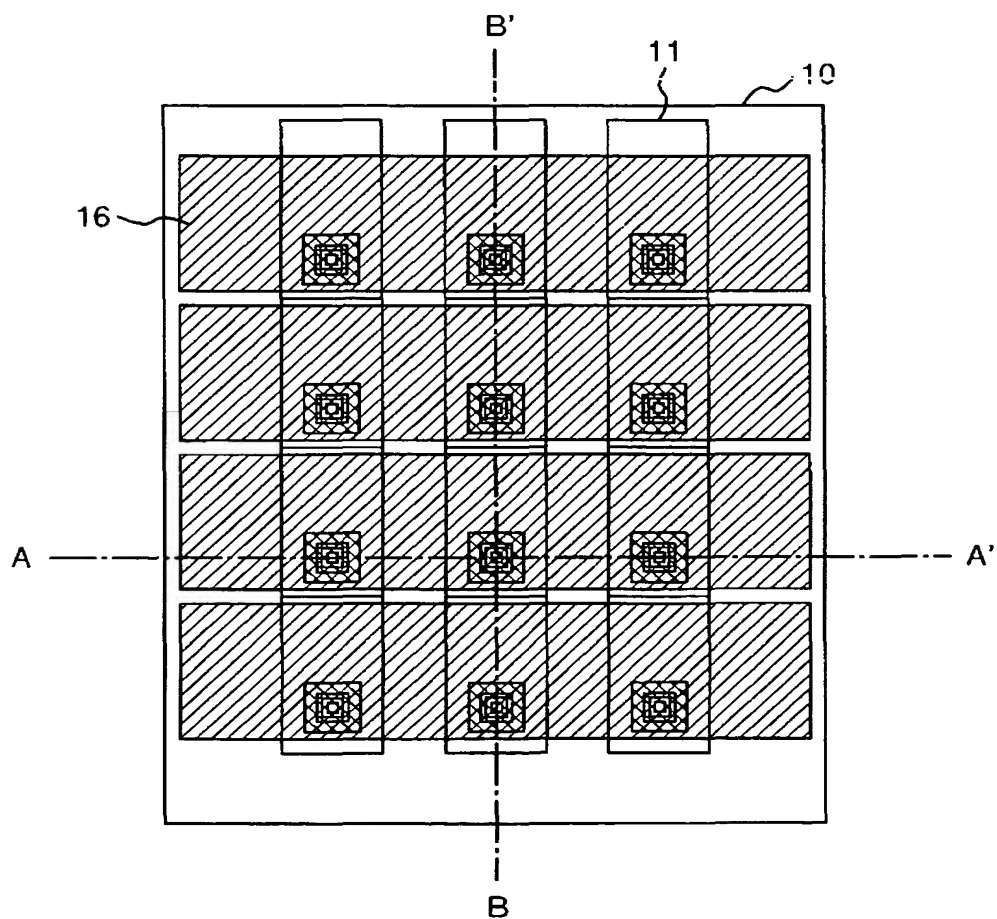
【図 38】

図 38



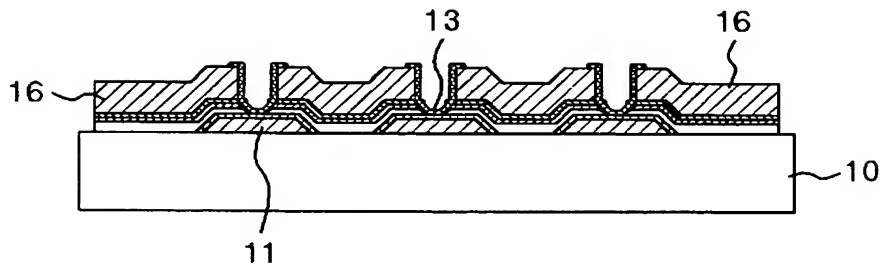
【図 39】

図 39



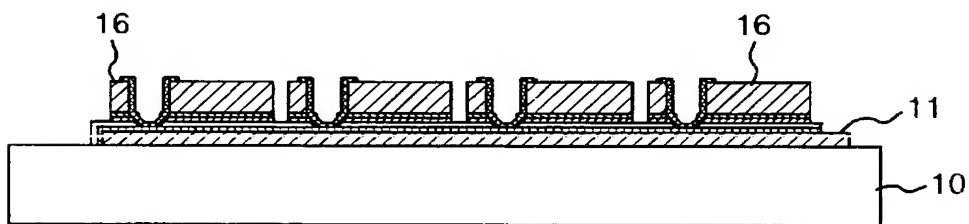
【図 40】

図 40



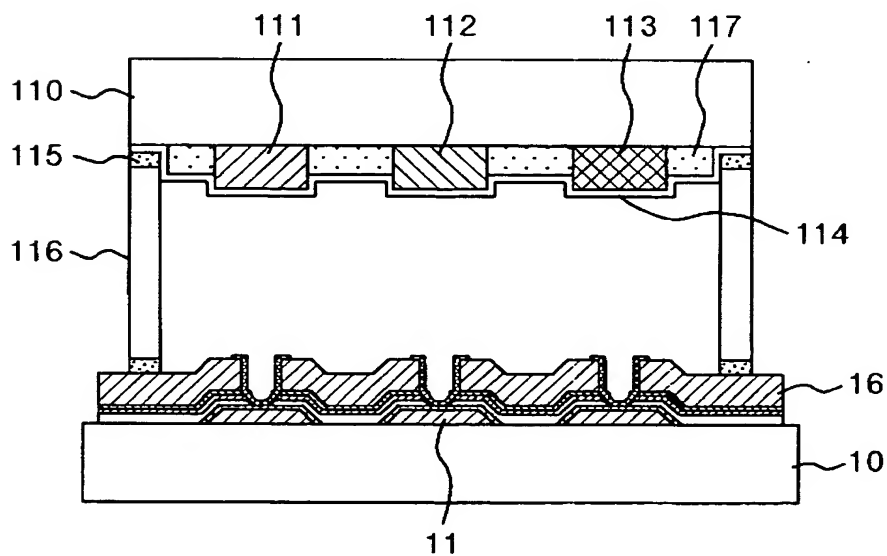
【図 41】

図 41



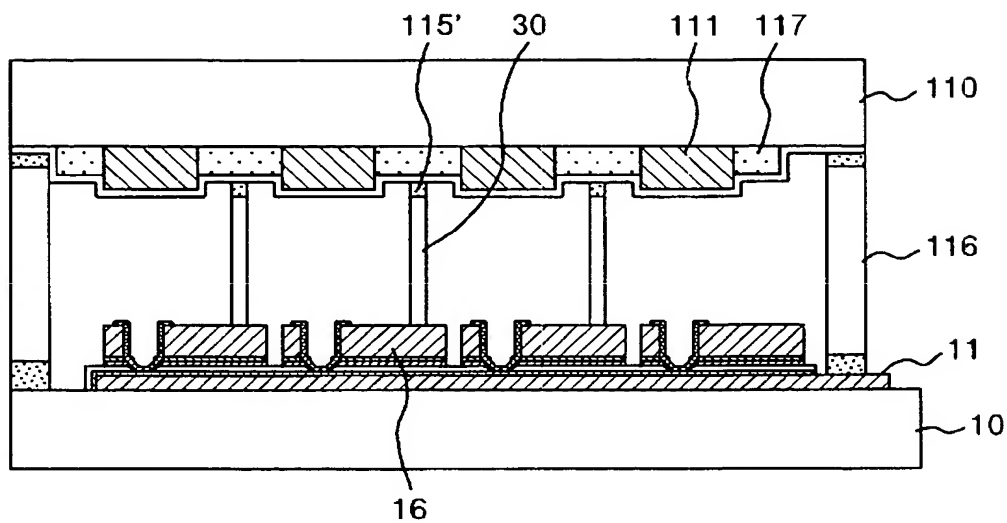
【図 42】

図 42



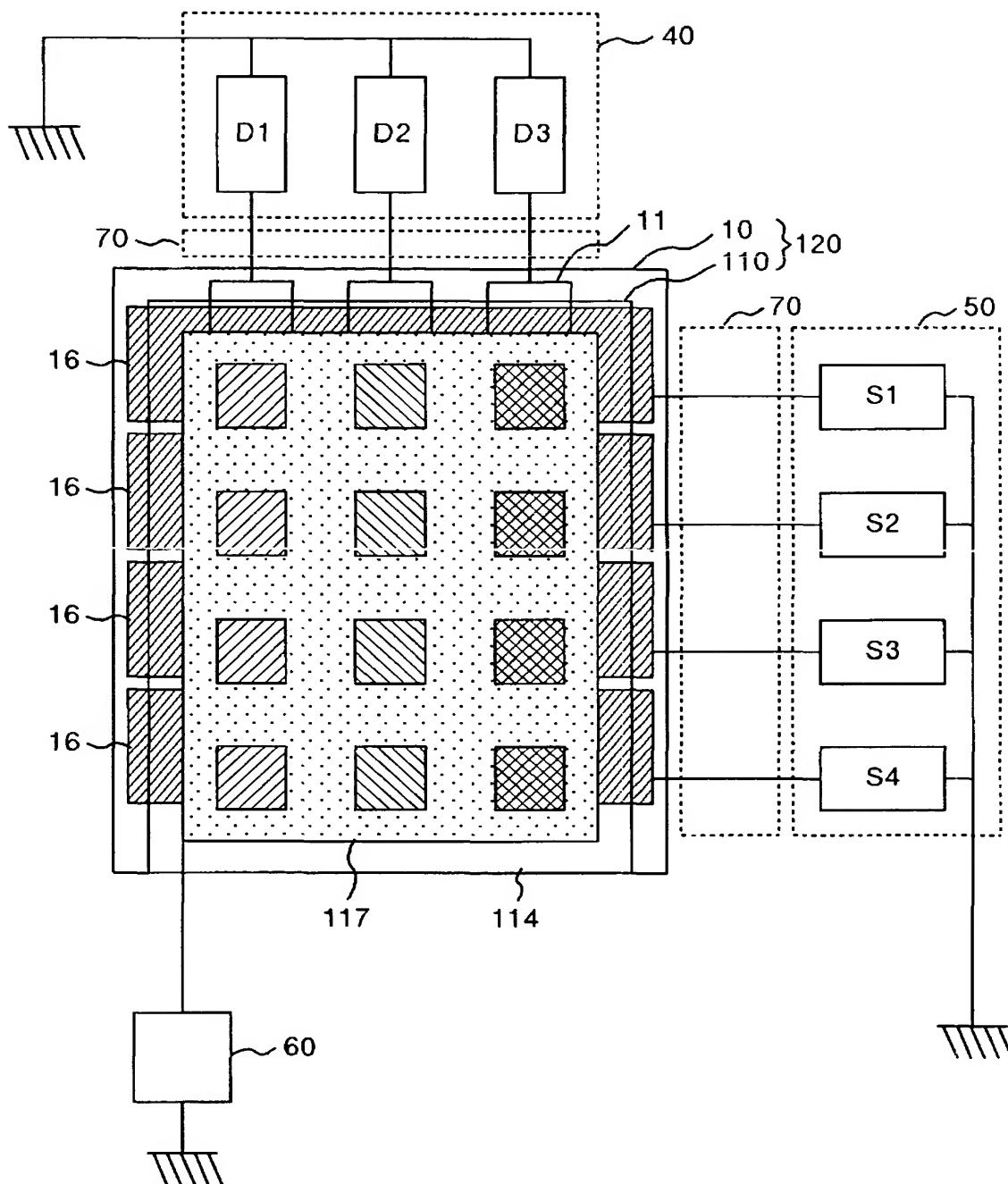
【図 4 3】

図 4 3



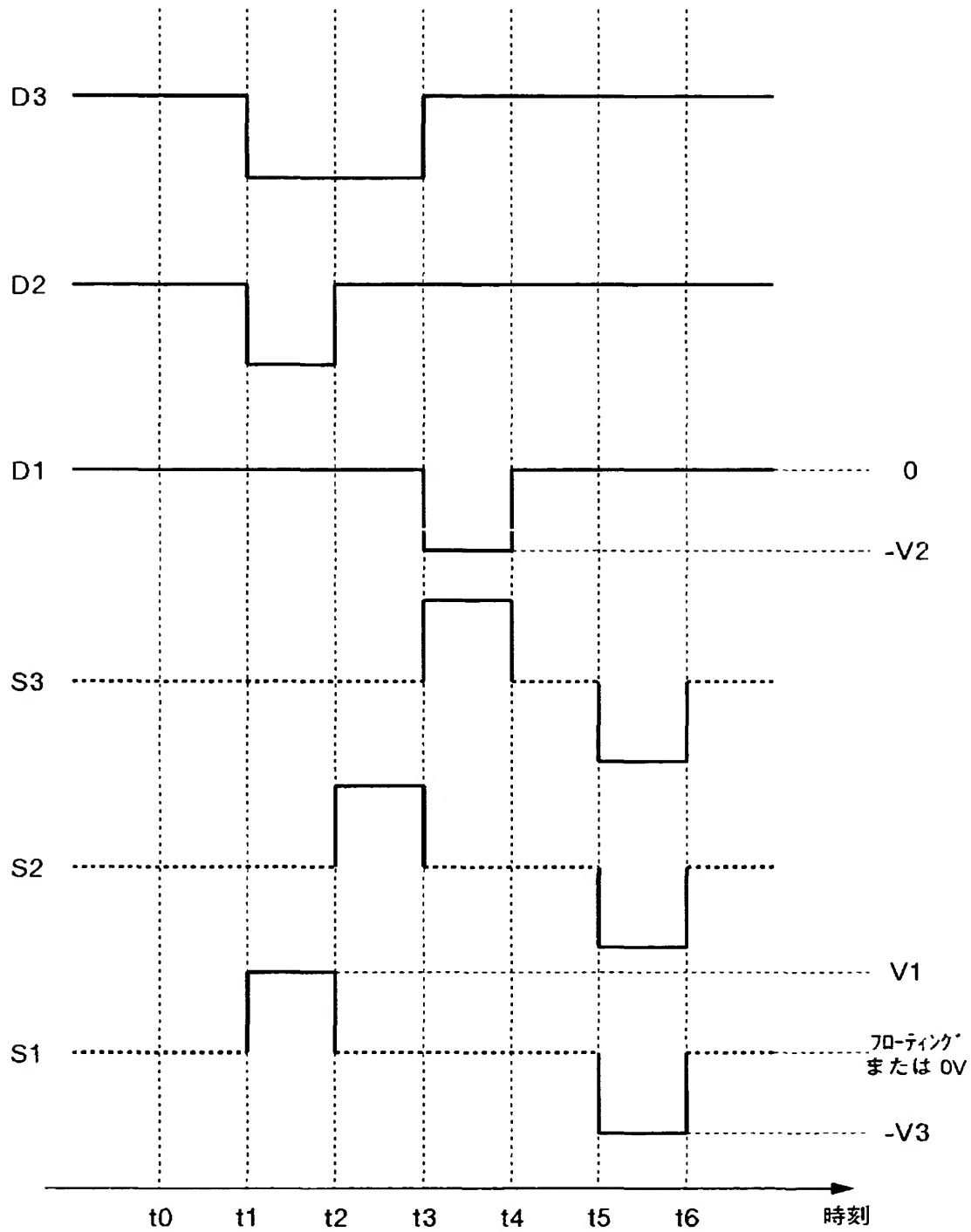
【図 44】

図 44



【図 45】

図 45



【書類名】 要約書**【要約】**

【課題】 FEDのカソード基板には、走査線及び信号線の他にスペーサを接地接続するための専用のスペーサ配線が必要であり、従来は三層配線構造のカソード基板を用いていた。本発明は、二層配線構造のカソード基板を用いて、少なくとも三層配線構造で得られる性能を保持し、信頼性高く、製造容易な冷陰極型フラットパネルディスプレイを実現するものである。

【解決手段】 FEDのカソード基板10の配線構造を二層配線とする。第一層目の配線は電子源を構成する下部電極11であり、これを従来は走査線としたが、本発明では信号線に替え、第二層目の上部電極13を従来は信号線としたが、本発明では走査線に切り替えると共に、上部電極13に接続する上部電極給電配線16の一部をスペーサ配線として共用するか、上部電極給電配線16を分割してスペーサ配線16'とする。

【選択図】 図32

特願 2 0 0 3 - 2 0 6 6 9 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所